

DERWENT-ACC-NO: 1998-251444

DERWENT-WEEK: 200351

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Liquid crystal device substrate for
projection display - has one light shielding film covering
channel region of thin film transistor and second light
shielding film

INVENTOR: MURADE, M

PATENT-ASSIGNEE: SEIKO EPSON CORP[SHIH]

PRIORITY-DATA: 1996JP-0273810 (October 16, 1996)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 2003207807 A		July 25, 2003	N/A
019	G02F	001/1368	
WO 9816868 A1		April 23, 1998	J
063			
JP 10510598 X		February 23, 1999	N/A
000	G02F	001/136	
CN 1205087 A		January 13, 1999	N/A
000	G02F	001/136	
KR 99072150 A		September 27, 1999	N/A
000	G02F	001/136	
US 6297862 B1		October 2, 2001	N/A
000	G02F	001/136	
US 20020024622 A1		February 28, 2002	N/A
000	G02F	001/136	
US 6388721 B1		May 14, 2002	N/A
000	G02F	001/136	
US 20020118322 A1		August 29, 2002	N/A
000	G02F	001/136	
TW 479151 A		March 11, 2002	N/A
000	G02F	001/1333	
US 6573955 B2		June 3, 2003	N/A
000			

G02F 001/133

G02F 001/136

DESIGNATED-STATES: CN JP KR US

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2003207807A	Div ex	
1998JP-0510598	October 16, 1997	
JP2003207807A	N/A	
2002JP-0277917	October 16, 1997	
WO 9816868A1	N/A	
1997WO-JP03752	October 16, 1997	
JP 10510598X	N/A	
1997WO-JP03752	October 16, 1997	
JP 10510598X	N/A	
1998JP-0510598	October 16, 1997	
JP 10510598X	Based on	WO 9816868
N/A		
CN 1205087A	N/A	
1997CN-0191429	October 16, 1997	
KR 99072150A	N/A	
1997WO-JP03752	October 16, 1997	
KR 99072150A	N/A	
1998KR-0704487	June 15, 1998	
KR 99072150A	Based on	WO 9816868
N/A		
US 6297862B1	N/A	
1997WO-JP03752	October 16, 1997	
US 6297862B1	N/A	
1998US-0091106	June 12, 1998	
US 6297862B1	Based on	WO 9816868
N/A		
US20020024622A1	Cont of	
1998US-0091106	June 12, 1998	
US20020024622A1	N/A	
2001US-0825843	April 5, 2001	
US 6388721B1	Cont of	
1997WO-JP03752	October 16, 1997	
US 6388721B1	Cont of	
1998US-0091106	June 12, 1998	
US 6388721B1	N/A	
2001US-0825843	April 5, 2001	
US 6388721B1	Cont of	US 6297862
N/A		
US20020118322A1	Cont of	

1997WO-JP03752	October 16, 1997	
US20020118322A1	Cont of	
1998US-0091106	June 12, 1998	
US20020118322A1	Cont of	
2001US-0825843	April 5, 2001	
US20020118322A1	N/A	
2002US-0097573	March 15, 2002	
US20020118322A1	Cont of	US 6297862
N/A		
US20020118322A1	Cont of	US 6388721
N/A		
TW 479151A	N/A	
1997TW-0115143	October 15, 1997	
US 6573955B2	Cont of	
1997WO-JP03752	October 16, 1997	
US 6573955B2	Cont of	
1998US-0091106	June 12, 1998	
US 6573955B2	Cont of	
2001US-0825843	April 5, 2001	
US 6573955B2	N/A	
2002US-0097573	March 15, 2002	
US 6573955B2	Cont of	US 6297862
N/A		
US 6573955B2	Cont of	US 6388721
N/A		

INT-CL (IPC): G02B005/00, G02F001/13 , G02F001/133 ,
 G02F001/1333 ,
 G02F001/1335 , G02F001/1343 , G02F001/136 , G02F001/1368
 , G03B021/00 ,
 G09F009/30 , G09F009/35 , H01L029/04 , H01L029/786

ABSTRACTED-PUB-NO: US 6297862B

BASIC-ABSTRACT:

At least a two light shielding films (7,3) are provided respectively above and under a channel region (1c) of a thin film transistor (TFT) which drives a pixel to prevent light from entering vertically the channel region (1c). The second light shielding film (3) covers the channel region (1c) and the first one (7). The incident light does not illuminate the surface of the first light shielding film (7) directly.

ABSTRACTED-PUB-NO: US 6388721B

EQUIVALENT-ABSTRACTS:

At least a two light shielding films (7,3) are provided respectively above and under a channel region (1c) of a thin film transistor (TFT) which drives a pixel to prevent light from entering vertically the channel region (1c). The second light shielding film (3) covers the channel region (1c) and the first one (7). The incident light does not illuminate the surface of the first light shielding film (7) directly.

At least a two light shielding films (7,3) are provided respectively above and under a channel region (1c) of a thin film transistor (TFT) which drives a pixel to prevent light from entering vertically the channel region (1c). The second light shielding film (3) covers the channel region (1c) and the first one (7). The incident light does not illuminate the surface of the first light shielding film (7) directly.

US20020024622A

At least a two light shielding films (7,3) are provided respectively above and under a channel region (1c) of a thin film transistor (TFT) which drives a pixel to prevent light from entering vertically the channel region (1c). The second light shielding film (3) covers the channel region (1c) and the first one (7). The incident light does not illuminate the surface of the first light shielding film (7) directly.

US20020118322A

At least a two light shielding films (7,3) are provided respectively above and under a channel region (1c) of a thin film transistor (TFT)

which drives a pixel to prevent light from entering vertically the channel region (1c). The second light shielding film (3) covers the channel region (1c) and the first one (7). The incident light does not illuminate the surface of the first light shielding film (7) directly.

WO 9816868A

CHOSEN-DRAWING: Dwg.1/20

TITLE-TERMS: LIQUID CRYSTAL DEVICE SUBSTRATE PROJECT
DISPLAY ONE LIGHT SHIELD
FILM COVER CHANNEL REGION THIN FILM TRANSISTOR
SECOND LIGHT SHIELD
FILM

DERWENT-CLASS: P81 P82 P85 U14

EPI-CODES: U14-K01A1C; U14-K01A2B; U14-K01A5;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-198474



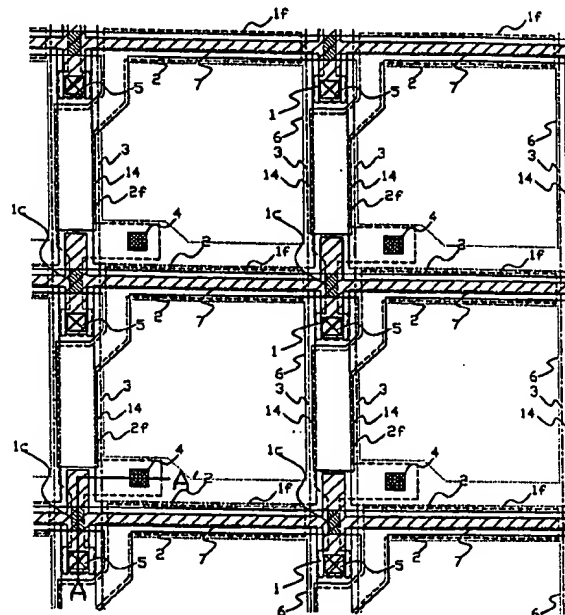
(51) 国際特許分類 G02F 1/136	A1	(11) 国際公開番号 WO98/16868 (43) 国際公開日 1998年4月23日 (23.04.98)
(21) 国際出願番号 PCT/JP97/03752 (22) 国際出願日 1997年10月16日 (16.10.97) (30) 優先権データ 特願平8/273810 1996年10月16日 (16.10.96) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 村出正夫(MURADE, Masao)[JP/JP] 〒392 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒163 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)	(81) 指定国 CN, JP, KR, US. 添付公開書類 国際調査報告書	

(54)Title: LIQUID CRYSTAL DEVICE SUBSTRATE, LIQUID CRYSTAL DEVICE, AND PROJECTION DISPLAY

(54)発明の名称 液晶装置用基板、液晶装置および投写型表示装置

(57) Abstract

At least a 1st light shielding film (7) and a 2nd light shielding film (3) are provided respectively above and under the channel region (1c) of a TFT which drives a pixel to prevent light from entering vertically the channel region (1c). The 2nd light shielding film (3) covers the channel region (1c) and the 1st light shielding film (7), and the incident light does not illuminate the surface of the 1st light shielding film (7) directly.



(57) 要約

画素を駆動するTFTの少なくともチャンネル領域(1c)の下方に、第1遮光膜(7)を、上方に第2遮光膜(3)を設けることによりチャンネル領域(1c)に対して上下方向からの光の照射を防止する。また、第2遮光膜(3)をチャンネル領域(1c)および第1遮光膜(7)を覆うように形成し、入射光が直接第1遮光膜(7)表面に照射されないようにする。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FI	フィンランド	LR	リベリア	SG	シンガポール
AT	オーストリア	FR	フランス	LS	レソト	SI	スロヴェニア
AU	オーストラリア	GA	ガボン	LT	リトアニア	SK	スロヴァキア共和国
AZ	アゼルバイジャン	GB	英国	LU	ルクセンブルグ	SL	シエラレオネ
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GH	ガーナ	MC	モナコ	SZ	スワジランド
BE	ベルギー	GM	ガンビア	MD	モルドヴァ共和国	TD	チャード
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TG	トーゴ
BG	ブルガリア	GW	ギニアビサウ	MK	マケドニア旧ユーゴス ラヴィア共和国	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ	ML	マリ	TM	トルクメニスタン
BR	ブラジル	HU	ハンガリー	MN	モンゴル	TR	トルコ
BY	ベラルーシ	ID	インドネシア	MR	モーリタニア	TT	トリニダード・トバゴ
CA	カナダ	IE	アイルランド	MW	マラウイ	UA	ウクライナ
CF	中央アフリカ共和国	IL	イスラエル	MX	メキシコ	UG	ウガンダ
CG	コンゴ	IS	アイスランド	NE	ニジェール	US	米国
CH	スイス	IT	イタリア	NL	オランダ	UZ	ウズベキスタン
CI	コート・ジボアール	JP	日本	NO	ノルウェー	VN	ヴェトナム
CM	カメルーン	KE	ケニア	NZ	ニュージーランド	YU	ユーゴスラビア
CN	中国	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
CU	キューバ	KP	朝鮮民主主義人民共和国	PT	ポルトガル		
CZ	チェコ共和国	KR	大韓民国	RO	ルーマニア		
DE	ドイツ	KZ	カザフスタン	RU	ロシア連邦		
DK	デンマーク	LC	セントルシア	SD	スーダン		
EE	エストニア	LI	リヒテンシュタイン				

明細書

液晶装置用基板、液晶装置および投写型表示装置

技術分野

本発明は、液晶装置用基板およびそれを用いた液晶装置、投写表示装置に利用して好適な技術に関するものである。更に詳しくは、薄膜トランジスタ（以下、TFTと称す。）を画素スイッチング素子として用いた液晶装置用基板における遮光構造に関するものである。

背景技術

従来、液晶装置としては、ガラス基板上にマトリクス状に画素電極を形成すると共に、各画素電極に対応してアモルファスシリコン膜やポリシリコン膜を用いたTFTを形成して、該TFTにより各画素電極へ電圧を印加して液晶を駆動するようにした構成の液晶装置が実用化されている。

前記液晶装置のうちTFTとしてポリシリコン膜を用いた装置は、シフトレジスタ等の周辺駆動回路を構成するトランジスタも同様の工程で同一の基板上に形成することができるため、高集積化に適しており注目されている。

前記TFTを用いた液晶装置にあつては、画素電極駆動用のTFT（以下、画素TFTと称す。）の上方は、対向基板に設けられるブラックマトリクス（あるいはブラックストライプ）と呼ばれるクロム膜等の遮光膜で覆われており、TFTのチャネル領域に直接光が照射されてリーク電流が流れないようにしている。しかしながら、光によるリーク電流は、入射光のみならず液晶装置用基板の裏面で偏光板等により反射した光がTFTを照射することによって流れることがある。

そこで、反射光によるリーク電流を低減するため、TFTの下側にも遮光膜を設けるようにした発明が提案されている（特公平3-52611号）。ところが、TFTの下側に設ける遮光膜を対向基板に設けられたブラックマトリクスの開口部にはみ出すように形成すると、入射光が直接遮光膜に当たり、反射された光がTFTのチャネル領域を照射し、リーク電流が流れる場合がある。これは、TFT

Tの下方に遮光膜を設ける技術において、対向基板に設けられるブラックマトリクスと液晶装置用基板に形成された画素領域との高精度な位置合わせが困難であるため、対向基板側からの入射光がブラックマトリクスの開口部にはみ出した遮光膜に直接当たって反射し、TFTのチャネル部が照射され、リーク電流が流れるからである。特に、液晶装置用基板上の遮光膜とブラックマトリクスの位置合わせの誤差が大きいと、遮光膜表面による反射光が著しく多くなり、この反射光がチャネル領域に照射されることで、TFTのリーク電流が増大し、クロストーク等の表示劣化を引き起こす。

本発明の目的は、液晶装置において、TFTの光によるリーク電流を低減することができる技術を提供することにある。本発明の他の目的は、対向基板にブラックマトリクスを設けることなくTFTの光によるリーク電流を低減することができる技術を提供することにある。

発明の開示

本発明は前記目的を達成するため、請求項1に記載の液晶装置用基板は、基板上に形成された複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線および前記複数の走査線に接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶装置用基板において、少なくとも前記薄膜トランジスタのチャネル領域および該チャネル領域とソース・ドレイン領域との接合部の下方には第1遮光膜が形成されてなり、該チャネル領域とソース・ドレイン領域との接合部の上方に第2遮光膜が形成されてなることを特徴とする。

請求項1に記載の液晶装置用基板によれば、チャネル領域および該チャネル領域とソース・ドレイン領域との接合部への光の入射を上方からの光に対しては第1遮光膜が、下方からの光に対しては第2遮光膜により防止することができる。これにより、TFTの光によるリーク電流を低減できる。

請求項2に記載の液晶装置用基板は、前記第1遮光膜がタングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜のうちのいずれかの金属膜、あるいは合金膜であることを特徴とする。

請求項 2 に記載の液晶装置用基板によれば、第 1 遮光膜を遮光性が高く、かつ導電性のある金属膜あるいは金属合金膜を使用することにより、前記液晶装置用基板裏面からの反射光に対して遮光膜として機能し、チャネル領域および該チャネル領域とソース・ドレイン領域との接合部への光の入射を防止することができる。

請求項 3 に記載の液晶装置用基板は、前記第 1 遮光膜から延設された第 1 配線が、表示領域の外側で定電位線と電氣的に接続されることを特徴とする。

請求項 3 に記載の液晶装置用基板によれば、第 1 遮光膜を T F T のチャネル領域下でフローティング状態で形成すると、T F T の各端子間に不定な電位差が生じ、T F T 特性の変化を招くことがある。そこで、第 1 遮光膜を所定の定電位に固定する必要があるため、該第 1 遮光膜から延設された第 1 配線を画面領域の外側で接地電位のような定電位線に接続するようにする。これにより、T F T の各端子間に不定な電位差が生じることにより起こる T F T 特性の変化を防ぐことができ、画質品位が劣化しない。

請求項 4 に記載の液晶装置用基板は、前記第 1 遮光膜から延設された前記第 1 配線が、前記走査線の下方に該走査線に沿って形成されることを特徴とする。

請求項 4 に記載の液晶装置用基板によれば、第 1 遮光膜から延設された第 1 配線を走査線の下方に走査線に沿って形成する。これにより、画素開口率に影響することなく配線できる。ただし、第 1 遮光膜は入射された光が直接該第 1 遮光膜表面に照射されないように、画素開口領域に近い側の走査線側面に対して、走査線の下部に位置するように形成しておくようにする。

請求項 5 に記載の液晶装置用基板は、前記第 1 遮光膜から延設された前記第 1 配線の線幅はその上方に形成された前記走査線の線幅よりも細く形成されてなることを特徴とする。

請求項 6 に記載の液晶装置用基板は、前記第 1 遮光膜から延設された前記第 1 配線はその上方に形成された前記走査線により覆われていることを特徴とする。

請求項 5 及び 6 に記載の液晶装置用基板によれば、走査線により第 1 遮光膜から延設された第 1 配線に直接入射光が照射されて反射するのを防止することができる。

請求項 7 に記載の液晶装置用基板は、前記走査線と同一の層で形成され、前記画素に付加容量を付加するための容量線が、該走査線に沿って平行に延設され、該容量線の下方には、前記第 1 遮光膜から延設された第 2 配線が形成されることを特徴とする。

請求項 7 に記載の液晶装置用基板によれば、第 1 遮光膜から延設された第 2 配線を走査線に沿って平行に延設される容量線の下にも形成することにより、TFT のドレイン領域との間で第 1 層間絶縁膜を誘電体とした付加容量を形成する。これにより、画素開口率を低下させることなく付加容量を増大できる。

請求項 8 に記載の液晶装置用基板は、前記第 1 遮光膜から延設された第 3 配線が、前記データ線の下方に該データ線に沿って形成されることを特徴とする。

請求項 8 に記載の液晶装置用基板によれば、第 1 遮光膜から延設された第 3 配線をデータ線下方にデータ線に沿って形成しても良い。ただし、第 1 遮光膜は入射された光が直接第 1 遮光膜表面に照射されないように、データ線が画素開口領域と接する部分、あるいは近接する部分において、該データ線の下方に配線される第 1 遮光膜をデータ線が覆うように形成する。

請求項 9 に記載の液晶装置用基板は、前記データ線が前記第 2 遮光膜を兼ね、アルミニウム膜、タングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜のうちのいずれかの金属膜、あるいはその合金膜からなることを特徴とする。

請求項 9 に記載の液晶装置用基板によれば、データ線を金属膜あるいは金属合金膜で形成することにより、該データ線が第 2 遮光膜を兼ねるようにする。したがって、遮光のみを行うための層を必要としない。

請求項 10 に記載の液晶装置用基板は、前記第 1 遮光膜から延設された前記第 3 配線の線幅は、前記データ線の線幅よりも細く形成されていることを特徴とする。

請求項 11 に記載の液晶装置用基板は、前記チャネル領域および該チャネル領域とソース・ドレイン領域との接合部が、前記データ線の下方に配置されてなり、前記チャネル領域および該チャネル領域とソース・ドレイン領域との接合部の下方に設けられた第 1 遮光膜は、少なくとも前記チャネル領域および該チャネル領

域とソース・ドレイン領域との接合部において前記データ線に覆われることを特徴とする。

請求項 1 1 に記載の液晶装置用基板によれば、データ線（第 2 遮光膜）により少なくともチャンネル領域および該チャンネル領域とソース・ドレインの接合部を上方からの光の照射に対して覆うように形成する。この際、チャンネル領域および該チャンネル領域とソース・ドレイン領域との接合部に、第 1 遮光膜表面で反射した光が照射されないようにしなければならない。そこで、チャンネル領域および該チャンネル領域とソース・ドレイン領域との接合部下に設けられた第 1 遮光膜を覆うようにデータ線を形成する。

請求項 1 2 に記載の液晶装置用基板は、前記チャンネル領域とソース・ドレイン領域との接合部には LDD 領域が形成されることを特徴とする。

請求項 1 2 に記載の液晶装置用基板によれば、画素 TFT のチャンネル領域とソース・ドレイン領域との接合部を低濃度な LDD 領域とすることにより、TFT のオフ時におけるリーク電流を低減させる。ところが、LDD 領域は一般に、光が照射された際に電子の励起が生じやすいとされており、該 LDD 領域もチャンネル領域と同様に、第 1 遮光膜および第 2 遮光膜で上下から覆われるように形成する。

請求項 1 3 に記載の液晶装置用基板は、前記チャンネル領域とソース・ドレイン領域との接合部にはオフセット領域が形成されることを特徴とする。

請求項 1 3 に記載の液晶装置用基板によれば、画素 TFT のチャンネル領域とソース・ドレイン領域との接合部を不純物イオンが打ち込まれていないオフセット領域とすることにより、TFT のオフ時におけるリーク電流を低減させる。ところが、オフセット領域も LDD 領域と同様に、光が照射された際に電子の励起が生じやすいとされている。そこで、該オフセット領域もチャンネル領域と同様に、第 1 遮光膜および第 2 遮光膜で上下から覆われるように形成する。

請求項 1 4 に記載の液晶装置用基板は、前記走査線はタングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜のうちのいずれかの金属膜、あるいは金属合金膜であることを特徴とする。

請求項 1 4 に記載の液晶装置用基板によれば、走査線を少なくとも金属膜ある

いは金属合金膜で形成することにより、走査線自体を遮光膜として利用することができる。これにより、データ線だけでなく走査線が遮光膜として機能できるので、画素電極の周囲のすべての辺をデータ線および走査線と重ねるように形成し、対向基板に設けるブラックマトリクスを省略することが可能となる。

請求項 1 5 に記載の液晶装置用基板は、前記第 1 遮光膜の側面から前記チャネル領域までの最小距離 L_1 は $0.2 \mu m \leq L_1 \leq 4 \mu m$ になるように形成されていることを特徴とする。

請求項 1 5 に記載の液晶装置用基板によれば、第 1 遮光膜の反射光の影響を防ぐことができる。

請求項 1 6 に記載の液晶装置用基板は、前記第 2 遮光膜の側面から前記第 1 遮光膜までの最小距離 L_2 は $0.2 \mu m \leq L_2$ になるように形成されていることを特徴とする。

請求項 1 6 に記載の液晶装置用基板によれば、第 1 遮光膜の反射光の影響を防ぐことができる。

請求項 1 7 に記載の液晶装置は、液晶装置用基板と、対向電極を有する対向基板とが所定の間隔をおいて配置されるとともに、前記液晶装置用基板と前記対向基板との間隙内に液晶が封入されていることを特徴とする。

請求項 1 7 に記載の液晶装置によれば、液晶装置用基板と対向電極を有する対向基板を所定のセルギャップで貼り合わせ、液晶装置用基板と対向基板との間に液晶を封入し、該液晶に電圧を印加することで階調表示する。前記液晶装置は、対向基板側から光を入射するようにすれば、光による影響を受けない高品位な画質が得られる。

請求項 1 8 に記載の液晶装置は、前記対向基板上に第 3 遮光膜が形成されてなることを特徴とする。

請求項 1 8 に記載の液晶装置によれば、対向基板上にクロム膜等の金属膜あるいは黒色の有機膜等の遮光性の高いブラックマトリクス（第 3 遮光膜）を形成するようにする。前記ブラックマトリクスにより液晶装置用基板に設けられた画素 TFT は直接光が照射されないように遮光される。これにより、高品位な画質が得られる液晶装置を提供できる。

請求項 19 に記載の液晶装置は、前記第 3 遮光膜が少なくとも前記第 1 遮光膜を覆うように形成されてなることを特徴とする。

請求項 19 に記載の液晶によれば、対向基板上のブラックマトリクス（第 3 遮光膜）により、液晶装置用基板上に設けられた第 1 遮光膜を覆うことにより、入射光が直接第 1 遮光膜表面に入射されることがないようにする。これにより、遮光膜表面で反射した光が T F T のチャンネル領域および該チャンネル領域とソース・ドレイン領域との接合部へ照射されるのを防止することができ、T F T の光によるリーク電流を低減できる。

請求項 20 に記載の液晶装置は、前記対向基板上にマイクロレンズが前記液晶表示装置用基板上に形成された前記複数の画素電極各々に対応して、マトリクス状に形成されてなることを特徴とする。

請求項 20 に記載の液晶装置によれば、対向基板上にマイクロレンズを設けることで、液晶装置用基板上の画素開口領域に光を集光させる。マイクロレンズにより集光した光が液晶装置用基板裏面で反射しても画素 T F T のチャンネル領域に照射されないように、該液晶装置用基板上に第 1 遮光膜を設けるようにする。したがって、マイクロレンズにより集光された強い光によって T F T 特性が影響を受けることはなく、明るくて高品位な画質が得られる液晶装置を提供できる。

請求項 21 に記載の投写型表示装置は、光源と、前記光源からの光を変調して透過もしくは反射する液晶装置と、これらの液晶装置により変調された光を集光し拡大投写する投写光学手段とを備えていることを特徴とする。

請求項 21 に記載の投写型表示装置によれば、投写型表示装置は本願発明の液晶装置を備えており、ダイクロイックプリズム等の反射等に対して液晶装置用基板の裏面から光が照射されても、液晶装置用基板上の第 1 遮光膜により光の進入を防止する。したがって、光源をさらに明るくして、強い光が液晶装置に入射されたとしても T F T 特性が影響を受けることはなく、明るくて高品位な画質が得られる投写型表示装置を提供できる。

本発明のこのような作用および他の利得は次の実施の形態にて明らかに説明する。

図面の簡単な説明

図 1 は本発明を適用した液晶装置用基板の第 1 の実施例を示す画素の平面図である。

図 2 は図 1 の A-A' 線における画素の断面図である。

図 3 は第 1 の実施例の液晶装置用基板の製造プロセス（前半）を工程順に示す断面図である。

図 4 は第 1 の実施例の液晶装置用基板の製造プロセス（後半）を工程順に示す断面図である。

図 5 は本発明を適用した液晶装置用基板の第 2 の実施例を示す画素の平面図である。

図 6 は図 5 の B-B' 線における画素の断面図である。

図 7 は本発明を適用した液晶装置用基板の第 3 の実施例を示す画素の平面図である。

図 8 は図 7 の C-C' 線における画素の断面図である。

図 9 は本発明を適用した液晶装置用基板の第 4 の実施例を示す画素の平面図である。

図 10 は図 9 の D-D' 線における画素の断面図である。

図 11 は本発明を適用した液晶装置用基板の第 5 の実施例を示す画素の平面図である。

図 12 は本発明を適用した液晶装置用基板の第 6 の実施例を示す画素の平面図である。

図 13 は本発明を適用した液晶装置用基板の第 7 の実施例を示す画素の平面図である。

図 14 は図 13 の E-E' 線における画素の断面図である。

図 15 は本発明を適用して好適な液晶装置用基板のシステム構成例を示すブロック図である。

図 16 は本発明に係る液晶装置用基板を用いた液晶装置の構成例を示す (a) 平面図および (b) H-H' 線に沿った断面図である。

図 17 は本発明に係る液晶装置用基板を用いた液晶装置をライトバルブとして応用した投写型表示装置の一例として液晶プロジェクターの概略構成図である。

図 18 はマイクロレンズを対向基板上に用いた液晶装置の構成例を示す断面図である。

図 19 は本発明を適用した液晶装置用基板の第 8 の実施例を示す画素の平面図である。

図 20 は図 19 の F-F' 線における画素の断面図である。

- 1 半導体層
- 2 走査線 (ゲート電極)
- 3 データ線 (第 2 遮光膜)
- 4 画素電極とドレイン領域とのコンタクトホール
- 5 データ線とソース領域とのコンタクトホール
- 6 対向基板側ブラックマトリクス (第 3 遮光膜)
- 7 第 1 遮光膜
- 1.0 基板
- 1.1 第 1 層間絶縁膜
- 1.2 ゲート絶縁膜
- 1.3 第 2 層間絶縁膜
- 1.4 画素電極
- 1.5 第 3 層間絶縁膜
- 1.6 容量線
- 1.7 レジストマスク
- 2.0 画面領域
- 3.0 液晶装置
- 3.1 対向基板
- 3.2 液晶装置用基板
- 3.3 対向電極
- 3.6 シール層
- 3.7 液晶
- 3.8 液晶注入孔
- 3.9 封止材

- 40 外部入出力端子
- 50 データ線駆動回路
- 51 Xシフトレジスタ
- 52 サンプリング用スイッチ
- 53 Xバッファ
- 54～56 画像信号線
- 60 走査線駆動回路
- 61 Yシフトレジスタ
- 63 Yバッファ
- 80 マイクロレンズ
- 90 画素
- 91 画素TFT
- 370 光源
- 373, 375, 376 ダイクロイックミラー
- 374, 377 反射ミラー
- 378, 379, 380 ライトバルブ
- 383 ダイクロイックプリズム
- 384 投写レンズ

発明を実施する為の最良の形態

以下、本発明を適用して好適な実施例を図面に基づいて説明する。

(実施例1)

図1および図2は、本発明を適用して好適な液晶装置用基板の第1の実施例を示す。図1は隣接する画素の平面図であり、図2は図1におけるA-A'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造を示す。

図1において、1はTFTの半導体層を構成する1層目のポリシリコン膜であり、この半導体層1の表面には図2に示されているように、熱酸化等によるゲート絶縁膜12が形成されている。2は同一行（図では横方向）にあるTFTの共通のゲート電極となる走査線、3は該走査線2と交差するように縦方向に配設さ

れ同一列にあるTFTのソース領域に印加すべき電圧を供給するデータ線で、走査線2は2層目のポリシリコン膜によって、またデータ線3はアルミニウム膜のような導電層によってそれぞれ形成される。

また、4はITO膜のような導電層からなる画素電極14と前記半導体層1のTFTのドレイン領域とを接続するためのコンタクトホール、5は前記データ線3と前記半導体層1のTFTのソース領域とを接続するためのコンタクトホールである。6は前記走査線2およびデータ線3に対応して対向基板31側に設けられるブラックマトリクス（第3遮光膜）であり、クロム膜等の金属膜や黒色の有機膜等で形成される。

本実施例1では、前記TFTの能動層となる半導体層1の下方、特にチャネル領域1c（図1における右下がりの斜線部分）およびLDD領域（あるいはオフセット領域）1d、1eとソース・ドレイン領域1a、1bとの接合部の下方および走査線2の下方にタングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜等の金属膜あるいはその金属合金膜からなる第1遮光膜7（図1における右上がりの斜線部分）が設けられている。このように半導体層1が前記第1遮光膜7と前記第2遮光膜（データ線）3および対向基板側の第3遮光膜（ブラックマトリクス）6とによって上下から挟み込まれた構造となっているので、入射光はもちろん液晶装置用基板裏面からの反射光がTFTの特にチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eとソース・ドレイン領域1a、1bとの接合部に照射されるのを防止してリーク電流を抑制することができる。また、液晶装置用基板と対向基板の貼り合わせ時に、液晶装置用基板的表示領域と対向基板31側のブラックマトリクス（第3遮光膜）6の位置精度に誤差が生じたとしても第2遮光膜（データ線）3でTFTのチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eと第1遮光膜7が覆われているため、入射光が直接チャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eや第1遮光膜7に照射されることがない。このため、TFTの光によるリーク電流を大幅に抑制することができる。

走査線2の下方にも第1遮光膜7が延設されているのは、本来の遮光に必要なチャネル領域1c下方の第1遮光膜7に接地電位のような定電位を供給するため

であり、第1遮光膜7がフローティング状態にならないようにしている。これにより、TFT特性の変化を防止することができる。なお、前記定電位は、画素形成と同様の工程で同一基板上に内蔵される周辺駆動回路に供給される負電源等の定電位線（図示せず）に接続すると良い。特に走査線2に供給されるゲート信号の低電位レベルに合わせるようにすれば、TFT特性の変化を招かない。したがって、走査線2を駆動するための走査線駆動回路の負電源（図示せず）に電氣的に接続すると、最も効果的である。

また、前記走査線2下の第1遮光膜は、走査線2に対してパターン形成がずれたとしても第1遮光膜7に直接光が当たらないように、画素開口領域に近い側の走査線2側面に対して、該走査線2側面より該走査線2内側の下部に位置するように形成すると良い。これにより、前記走査線2の下方部分での第1遮光膜7による反射を防止することができる。また、前記第1遮光膜7の表面には該第1遮光膜7の表面を酸化等で荒らして光を散乱させたり、ポリシリコン膜等を形成することにより、反射防止処理を施しておくこと更に望ましい。

また、本実施例1において、少なくともTFTのチャネル領域1cおよびLD領域（あるいはオフセット領域）1d、1eがデータ線（第2遮光膜）3の下方に形成され、チャネル領域1cが完全にデータ線（第2遮光膜）3により覆われているため、入射光がチャネル領域1cに直接照射されるのをより確実に防止することができるという利点がある。

なお、特に限定されないが、本実施例1では、TFTのドレインに付加される容量を効率良く得るために、チャネル領域1cを構成する前記1層目の半導体層1を、符号1fのようにデータ線3に沿って上方へ延設させ、更に前段（図1では上段）の画素の走査線2に沿って自らの画素電極14上の方へ折曲させている。そして、前段の走査線2の一部を同じくデータ線3に沿って符号2fで示すように下方へ延設させている。これにより、前記1層目の半導体層1の延設部1fと走査線2の延設部2fとの間の容量（ゲート絶縁膜12を誘電体とする）が、付加容量として各画素電極14に電圧を印加するTFTのドレインに接続されることとなる。この様に容量形成を行うことにより、画素開口率への影響を極力避けることができる。したがって、高い画素開口率を維持すると共に、付加容量の増

大が実現できる利点がある。

次に、図1におけるコンタクトホール4から5までの半導体層1にほぼ沿った断面を示す図2により、本発明の画素TFTの断面構造について詳細に説明する。

10は無アルカリガラスや石英等からなる基板、11はTFTの半導体層1と第1遮光膜7との間に形成された酸化シリコン膜や窒化シリコン膜等の第1層間絶縁膜であり、高圧CVD法等により形成される。また、12はゲート絶縁膜、13は第2層間絶縁膜、15は第3層間絶縁膜、14はITO膜等からなる画素電極である。

本実施例1において、画素のスイッチング素子であるTFTはLDD構造（あるいはオフセット構造）として形成されている。すなわち、ソース・ドレイン領域はLDD領域（あるいはオフセット領域）1d、1eと、ソース・ドレイン領域1a、1bとからなり、ゲート電極2の下方がチャネル領域1cとなる。図2からも明らかなようにドレイン領域1bに対して第1遮光層7が形成されていない箇所があるため、半導体層1は第1遮光層7が形成されているところと第1遮光層7が形成されていないところで段差が生じる。しかしながら、この段差はドレイン領域1bとLDD領域1eとの接合部から数ミクロン離れているため、即ちこの段差は接合部から数ミクロンの余裕をもってドレイン領域側にあるため、この段差によるTFT特性の劣化は生じない。TFTをLDD構造あるいはオフセット構造とすることにより、TFTがオフした時のリーク電流を更に低減することができる。ところで、上述の構成によるTFTは、LDD構造（あるいはオフセット構造）として説明したが、ゲート電極2をマスクとして自己整合的にソース・ドレイン領域を形成するセルフアライン構造であっても良いことは言うまでもない。

また、本実施例1によれば、第1遮光膜7は半導体層1のソース・ドレイン領域1a、1bと、チャネル領域1cおよびLDD領域（あるいはオフセット領域）との接合部を下方側から覆うように形成されており、しかもデータ線（第2遮光膜）3がチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eを上方から覆うように形成されている。したがってチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eは入射光に対して上部から、

反射光に対して下部から2重に遮光されることとなる。更に、データ線（第2遮光膜）3が画素開口領域と接する部分にあるいは近接する部分に対して、第1遮光膜7の上方をデータ線3で覆われるように形成することにより、入射した光が第1遮光膜7の表面で反射しないようにする。

上述の点に加えて、対向基板31側に設けられたブラックマトリクス（第3遮光膜）6が、チャンネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eの上方を覆うように形成されているため、チャンネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eへの遮光に更に効果的である。しかも、前記ブラックマトリクス（第3遮光膜）6は前記第1遮光膜7を幅広く覆うように形成されているため、入射光が第1遮光膜7へ直接照射されることを更に効果的に防ぐことができる。したがって、本発明の液晶装置用基板を使用した液晶装置では、入射光が第1遮光膜7に当たって反射し、チャンネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eを照射することがないため、TFTの光によるリーク電流を極力抑えることが可能となり、クロストーク等の画質劣化がない高品位な画質を提供できる。

（製造プロセス）

次に、図3および図4を用いて本実施例の製造プロセスを説明する。まず、無アルカリガラスや石英等の基板10上にスパッタ法等によりタンゲステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜等の導電性の金属膜、あるいは金属シリサイド等の金属合金膜を約500～3000オングストローム好ましくは約1000～2000オングストロームの厚さに形成した後、フォトリソグラフィ技術およびエッチング技術等を用いてパターンニングすることにより第1遮光膜7を形成する（図3a）。この第1遮光膜7は、少なくとも後に形成されるTFTのチャンネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eを下から覆うように形成する。なお、第1遮光膜7の材料としては、光を吸収するような膜であれば、有機膜であっても良い。また、第1遮光膜7の表面での反射を防止するために、該第1遮光膜7の表面を酸化処理等により凹凸を形成し、入射光を散乱させるようにすると良い。また、ポリシリコン膜を第1遮光膜7の上方に形成して2層構造とすることで、入射光をポリシリコン膜で吸収させ

るようにしても良い。

次に、前記第1遮光膜7の上に第1層間絶縁膜11を約1000～15000オングストローム好ましくは5000～10000オングストロームの厚みに形成する(図3b)。前記第1層間絶縁膜11は第1遮光膜7と後に形成される半導体層1とを絶縁するものであり、例えば常圧CVD法やTEOSガス等を用いて酸化シリコン膜や窒化シリコン膜等により形成される。

第1層間絶縁膜11を形成後に基板10を約500℃の温度に加熱しながら、モノシランガスあるいはジシランガスを約400～600cc/minの流量で供給し、圧力を約20～40Paにて、第1層間絶縁膜11上にアモルファスシリコン膜を形成する。この後、N₂雰囲気にて、約600～700℃の温度で約1～72時間アニール処理を施し、固相成長させポリシリコン膜を形成する。この後、フォトリソグラフィ工程、エッチング工程等により、TFTの半導体層1を形成する(図3c)。このポリシリコン膜は減圧CVD法等により、約500～2000オングストローム好ましくは約1000オングストロームのような厚さで形成しても良いし、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、アニール等で再結晶化させてポリシリコン膜を形成しても良い。

次に、前記半導体層1を熱酸化することにより、半導体層1上にゲート絶縁膜12を形成する(図3d)。この工程により、半導体層1は最終的に300～1500オングストローム、好ましくは350～450オングストロームのような厚さとなり、ゲート絶縁膜12は約600～1500オングストロームとなる。なお、8インチクラス的大型基板を使用する場合、熱による基板のそりを防止するために熱酸化時間を短くして熱酸化膜を薄く形成し、該熱酸化膜上に高温酸化シリコン膜(HTO膜)や窒化シリコン膜をCVD法等で堆積することで、2層以上のゲート絶縁膜構造を形成してもよい。次に半導体層を構成するポリシリコン層のうち、データ線3に沿って上方へ延設されて付加容量を形成する領域(図1における1f)に不純物、例えばリンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドープして、その部分の半導体層1を低抵抗化させる。このドーズ量の下限は、半導体層1の付加容量を形成するために必要な導電性を確保する観点から求められ、ま

た上限は、ゲート絶縁膜12の劣化を抑える観点から求められる。

次に、半導体層1上にゲート絶縁膜12を介してゲート電極および走査線2となるポリシリコン膜を堆積して、フォトリソグラフィ工程およびエッチング工程等によりパターンニングする(図3e)。ゲート電極の材料はポリシリコン膜であっても良いし、遮光性を有する材料、例えばタングステン膜、チタン膜、クロム膜、タンタル膜、モリブデン膜等の導電性の金属膜あるいは金属シリサイド等の金属合金膜であれば、入射光に対してチャネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eへの光を防ぐことができ、遮光効果は更に向上する。これにより、対向基板31上のブラックマトリクス(第3遮光膜)6を省略することができるため、対向基板31と液晶装置用基板との貼り合わせ時の精度誤差による液晶装置の透過率の低下を防ぐことができる。

次に、Nチャネル型TFTを形成するために、ゲート電極2をマスクとして、不純物イオン(例えばリンイオン)を約 $0.1 \sim 10 \times 10^{13} / \text{cm}^2$ のドーズ量にて打ち込みを行い低濃度な領域(LDD領域)1d, 1eを形成する(図3f)。

更に、ゲート電極2の幅よりも広いレジストマスク17をゲート電極2上に形成して、不純物イオン(例えばリンイオン)を約 $0.1 \sim 10 \times 10^{16} / \text{cm}^2$ のドーズ量にて打ち込みを行う(図4g)。これによりマスクされた領域がLDD構造となる。すなわち、LDD領域1dおよび1eとソース・ドレイン領域1aおよび1bが形成され、ゲート電極2の下方にチャネル領域1cが形成される。このようにしてイオン打ち込みを行った際には、ゲート電極(走査線)2として形成されていたポリシリコン膜にも不純物イオンが導入されるので、該ゲート電極(走査線)2は更に低抵抗化する。

これらの不純物導入工程に代えて、低濃度の不純物イオン(例えばリンイオン)の打ち込みを行わずにゲート電極2より幅の広いレジストマスク17を形成した状態で高濃度の不純物イオン(例えばリンイオン)を打ち込み、オフセット構造のNチャネル型ソース・ドレイン領域1a, 1bを形成しても良い。また、ゲート電極2をマスクとして高濃度の不純物イオン(例えばリンイオン)を打ち込んで、セルフアライン構造のNチャネル型ソース・ドレイン領域を形成しても良い。

また、図示を省略するが、周辺駆動回路のPチャネル型TFTを形成するため

に、画素TFT部およびNチャネルTFT部をレジストで被膜保護してゲート電極2をマスクとして、不純物イオン（例えばボロンイオン）を約 $0.1 \sim 10 \times 10^{13} / \text{cm}^2$ のドーズ量にて打ち込みを行い低濃度な領域（LDD領域）1d, 1eを形成する。

更に、ゲート電極2の幅よりも広いレジストマスク17をゲート電極2上に形成して、不純物イオン（例えばボロンイオン）を約 $0.1 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量にて打ち込みを行う（図4g）。これによりマスクされた領域がライトリー・ドープト・ドレイン（LDD）構造となる。すなわち、LDD領域1dおよび1eとソース・ドレイン領域1aおよび1bが形成され、ゲート電極2の下方にチャネル領域1cが形成される。

これらの不純物導入工程に代えて、低濃度の不純物イオン（例えばボロンイオン）の打ち込みを行わずにゲート電極2より幅の広いレジストマスク17を形成した状態で高濃度の不純物イオン（例えばボロンイオン）を打ち込み、オフセット構造のPチャネル型ソース・ドレイン領域1a, 1bを形成しても良い。また、ゲート電極2をマスクとして高濃度の不純物イオン（例えばボロンイオン）を打ち込んで、セルフアライン構造のPチャネル型ソース・ドレイン領域を形成しても良い。これらのイオン打ち込み工程により、CMOS（相補型MOS）TFT化が可能となり、画素TFTと同一基板内での周辺駆動回路の内蔵化が可能となる。

その後、前記ゲート電極2を覆うように、基板10全面に酸化シリコン膜や窒化シリコン膜等からなる第2層間絶縁膜13を例えばCVD法等により5000～15000オングストロームのような厚さに形成する。第2層間絶縁膜13として、ボロンやリンを含まない酸化シリコン膜（NSG）や窒化シリコン膜を形成する。そしてソース・ドレイン領域を活性化するためのアニールを施した後、前記第2層間絶縁膜13には、画素TFTのソース領域1aに対応してコンタクトホール5をドライエッチング等により開孔する。次にスパッタ法等により、アルミニウム膜、チタン膜、タングステン膜、タンタル膜、クロム膜、モリブデン膜等の導電性の金属膜あるいは金属合金膜を、例えば2000～6000オングストロームのような厚さに形成し、フォトリソグラフィ工程およびエッチング工

程等により、データ線（第2遮光膜）をパターンニングする。この際、コンタクトホール5にてデータ線（第2遮光膜）3を半導体層1に接続する（図4h）。この際、データ線（第2遮光膜）3を少なくともチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eを覆うように形成する。

そして、前記データ線3を覆うように、基板10全面に第3層間絶縁膜15を例えばCVD法や常圧オゾンTEOS法等により5000～15000オングストロームのような厚さに形成する。第3層間絶縁膜15として、ボロンとリンを含む酸化シリコン膜（BPSG）や窒化シリコン膜を形成する。また、有機膜等をスピncerコーターにより塗布することで、段差形状のない平坦化膜を形成しても良い。前記平坦化処理を画素電極14形成直前の第3層間絶縁膜形成時に行うと、液晶の配向不良による液晶装置のコントラスト低下を極力低減することができる。そして、前記第3層間絶縁膜15に、画素TFTのドレイン領域1bとのコンタクトホール4をドライエッチング等により開孔し、このコンタクトホール4にてその後形成する画素電極14を半導体層1に接続させる（図4i）。

前記画素電極14は、例えばITO膜をスパッタリング法等で400～2000オングストロームのような厚さに形成し、フォトリソグラフィ工程およびエッチング工程等によりパターンニングを行なうことで形成する。そして、前記画素電極14および第3層間絶縁膜15上にかけてはポリイミド等からなる配向膜を約200～1000オングストロームのような厚さで基板10全面に被覆し、ラビング（配向処理）を行なうことで液晶装置用基板となる。

前記実施例1では、LDD構造で説明したが、オフセット構造であっても良いしあるいは、ゲート電極をマスクとしたセルフアライン構造であっても良い。オフセット構造の場合は、図4fの工程を削除すれば良い。またセルフアライン構造の場合は、図4fの工程で高濃度不純物を打ち込み、図4gの工程を削除すれば良い。

（実施例2）

図5および図6は、本発明を適用して好適な液晶装置用基板の第2の実施例を示す。図5は隣接する画素の平面図であり、図6は図5におけるB-B'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造を示す。

本実施例2において、半導体層1の下方および走査線2の下方に第1遮光層7(図5における右上がりの斜線部分)が形成されかつ半導体層1と走査線2とが2度交差するように、半導体層1が形成されている。このような構成により、走査線(ゲート電極)2が半導体層1に対してパターンずれを生じても画素TFTのチャネル領域1c(図5における右下がりの斜線部分)と各コンタクトホールとの距離が一定に保たれ、画素TFTの特性の違いによる画質の低下を防止することができる。また、画素TFTのチャネル領域1cとなる半導体層1が走査線2と2度交差し、その交差部分にそれぞれ形成されたチャネル領域1cが直列に接続されるため、画素TFTの抵抗成分が大きくなり、TFTがオフ時のリーク電流を低減するという利点がある。

本実施例2においても画素TFTはLDD構造やオフセット構造であっても良い。デュアルゲート構造やトリプルゲート構造にLDD構造あるいはオフセット構造を用いることにより、リーク電流は更に低減することが可能となる。また、本実施例2において、2つのチャネル領域1cとLDD領域(あるいはオフセット領域)1d, 1eのうちの一つ(図5では左側)は、アルミニウム膜等からなるデータ線(第2遮光膜)3の下方に位置されている。そのため、データ線(第2遮光膜)3が上方から入射した光、すなわち対向基板31側から入射した光に対する遮光膜となって画素TFTのチャネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eに直接光が照射されることを防止することができ、リーク電流を更に減少させることができる。この場合、データ線(第2遮光膜)3に覆われていない方のチャネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1e(図5では右側)では、入射光に直接さらされる危険があるが、少なくとも2個直列に接続されたチャネルの一方は、光に対する影響を受けないため、光によるリーク電流は問題無く、かつデュアルゲートによるTFTがオフ時の低抵抗化が実現できる。

また、本実施例2にも実施例1と同様に、第1遮光膜7が前記対向基板31側のブラックマトリクス6よりも小さく形成されている。したがって入射光が直接第1遮光膜7の表面に直接照射されることがないため、該第1遮光膜7自身の反射光による画素TFTのリーク電流を抑制することができる。また、走査線2の

下方に延設されている第1遮光膜7にも直接入射光が照射されないように、第1遮光膜7は走査線2の幅よりも狭く形成されている。これにより、走査線2下での第1遮光膜7による反射を防止することができる。

なお、特に限定されないが、本実施例1では、TFTのドレインに付加される容量を効率良く得るために、チャンネル領域1cを構成する前記1層目の半導体層1を、符号1fのようにデータ線3に沿って上方へ延設させ、更に前段（図5では上段）の画素の走査線2に沿って隣接する画素電極14（図5では左隣の画素）上の方へ折曲させている。そして、前段の走査線2の一部を同じくデータ線3に沿って符号2fで示すように下方へ延設させている。これにより、前記1層目の半導体層1の延設部1fと走査線2の延設部2fとの間の容量（ゲート絶縁膜12を誘電体とする）が、付加容量として各画素電極14に電圧を印加するTFTのドレインに接続されることとなる。この様に容量形成を行うことにより、画素開口率への影響を極力避けることができる。したがって、高い画素開口率を維持すると共に、付加容量の増大が実現できる利点がある。

また、本実施例2は実施例1と同様な製造プロセスで形成することができる。

（実施例3）

図7および図8は、本発明を適用して好適な液晶装置用基板の第3の実施例を示す。図7は隣接する画素の平面図であり、図8は図7におけるC-C'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造を示す。本実施例3は、第1遮光膜7（図7における右上がりの斜線部分）が走査線2のみでなくデータ線3の下方にも設けられている点で実施例1と異なっている。すなわち、本実施例3では第1遮光膜7を走査線2およびデータ線3の下方に延設して設けることにより、マトリクス状に配線している。この様な構成をとることにより、第1遮光膜7が接地電位のような定電位配線と電氣的に接続された時に、該第1遮光膜7の配線抵抗が更に低減され、かつ、基板工程流動中の異物等で断線が生じたとしても、定電位が供給されることになる。したがって、配線の低抵抗化と冗長構造により、クロストーク等の無い高品位な画質が得られる。

また、本実施例3も実施例1と同様に、前記画素TFTのチャンネル領域1c（図7における右下がりの斜線部分）の下方および走査線2とデータ線3の下方にそ

れぞれタングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜等の金属膜、あるいは金属シリサイド等の金属合金膜等からなる第1遮光膜7が設けられている。したがって、対向基板31側からの入射光に対しては走査線2およびデータ線（第2遮光膜）3が遮光層となり、液晶装置用基板裏面からの反射光に対しては前記第1遮光膜7が遮光層として機能し、反射光が画素TFTのチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eを照射するのを防止して、光によるリーク電流を抑制することができる。更に本実施例2では、画素電極14の全ての辺、すなわち図7における縦方向の辺がデータ線3と、横方向の辺が走査線2下の第1遮光膜7と重なっており、該データ線3上および走査線2下の第1遮光膜7上で隣り合う画素電極と分離させるようにする。このような構成にすれば、対向基板31上にブラックマトリクス（第3遮光膜）6を設ける必要がなくなる。本発明者の実験によれば、第1遮光膜7にタングステンシリサイド膜を使用し、その膜厚を約2000オングストロームで形成して実験を行ったところ、光学濃度が3以上の値が得られたため、遮光層として、対向基板31上のブラックマトリクスと同等の高い遮光性が実現できた。これにより、対向基板31上のブラックマトリクス（第3遮光膜）6と液晶装置用基板との貼り合わせ時のアライメント精度を考慮しなくても良いため、液晶装置の透過率がばらつかないという利点がある。

なお、本実施例3では、データ線3および走査線2の下方にマトリクス状に第1遮光膜を配線した例で説明したが、実施例1のように少なくとも走査線2下に第1遮光膜7からなる配線が形成してあれば、対向基板上のブラックマトリクスが省略できることは言うまでもない。

また、本実施例3も実施例1と同様な製造プロセスで形成することができる。

（実施例4）

図9および図10は、本発明を適用して好適な液晶装置用基板の第4の実施例を示す。図9は隣接する画素の平面図であり、図10は図9におけるD-D'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造を示す。本実施例4は、走査線2がポリシリコン層2aとタングステン膜やモリブデン膜等の金属膜や金属シリサイド等の金属合金膜2b等からなる多層構造とされ

ている点および第1遮光膜7（図9における右あがりの斜線部分）がデータ線（第2遮光膜）3の下方にのみ設けられている点の実施例3と異なっている。上述した実施例3では第1遮光膜7上は走査線2を形成するポリシリコン膜のみなので、チャネル領域1c（図9における右下がりの斜線部分）およびLDD領域（あるいはオフセット領域）1d、1eが画素開口部に近いと、入射光に対する影響を受ける可能性がある。そこで、走査線2を非光透過の膜である金属膜や金属合金膜で形成することにより、この不具合を解決する。すなわち、画素電極14の図9における縦方向の辺はデータ線3で遮光し、横方向の辺は走査線2で遮光するためである。したがって、本実施例4では、データ線3下にのみ第1遮光膜7から延設された配線を引き回しているが、実施例1のように走査線2下のみでも良いし、実施例3のようにマトリクス状に引き回しても良い。

ところで、前記金属あるいは金属合金膜2bは、スパッタ法により形成しても良いし、ポリシリコン膜2aの上に金属膜を蒸着してから熱処理を加えて金属膜2bをシリサイド化させるようにしても良い。また、走査線2は上述のような2層構造に限らず、3層以上であっても良い。例えば、走査線2を半導体層1に密着性の良いポリシリコン膜2aとその上に低抵抗なタングステンシリサイド等の金属シリサイド層2bと更にその上に該金属シリサイド層の剥がれを防止するようにポリシリコン膜を前記ポリシリコン膜2aと金属シリサイド層2bを覆うように形成しても良い。この様に、走査線2を金属膜や金属合金膜で形成することにより、遮光膜としての効果だけでなく、ポリシリコン膜のみを用いた場合より配線抵抗を低減できるので、ゲート信号が遅延しないといった利点がある。

本実施例4においても実施例1と同様に、データ線（第2遮光膜）3の画素開口領域に接している、あるいはその近接した部分では、下方に延設されている第1遮光膜7がデータ線（第2遮光膜）3の幅よりも狭く形成されている。これは、入射光に対して、データ線3が遮光層の役割を果たしているため、第1遮光膜7に直接光が照射されないように、上方のデータ線（第2遮光膜）3の線幅を広く形成しているためである。

本実施例4において、前記画素TFTのチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d、1eの下方およびデータ線3の下方にそれぞれタ

ングステンシリサイド等の金属シリサイド等からなる第1遮光膜7が設けられているとともに、走査線2は光非透過性の金属膜や金属シリサイド膜等を有する多層構造となる。したがって、対向基板31側からの入射光に対しては走査線2およびデータ線3が遮光層となり、基板裏面からの反射光に対しては前記第1遮光膜7が遮光膜となって、反射光が画素TFTのチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eに照射されることを防止し、TFTの光によるリーク電流を抑制することができる。この場合も実施例3と同様に、画素電極14の全ての辺が、データ線3および走査線2上で重なっており、該データ線3上および走査線2上で隣り合う画素電極14と分離させるようにする。そのため、本実施例4でも実施例3と同様に、対向基板にブラックマトリクスを設ける必要がないという利点がある。

また、本実施例4も実施例1と同様な製造プロセスで形成することができる。

（実施例5）

図11は、本発明を適用して好適な液晶装置用基板の第5の実施例を示す。図11は隣接する画素の平面図であり、図11におけるA-A'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造は、実施例1で説明した断面図（図2）と同様の構成をとる。本実施例5は、走査線2をデータ線3の下方に延設して付加容量を構成する代わりに、走査線2と平行な容量線16を設け、この容量線16の下方に半導体層1の延設部1fを設けて付加容量としたものである。容量線16は走査線2と同一工程で形成される2層目のポリシリコン膜によって構成され、画面領域の外側で接地電位のような定電位に固定される。前記定電位は周辺駆動回路の電源等の定電位線を使用すると、専用の外部端子を設ける必要が無く効果的である。また、画素のTFTのゲートはシングルゲートである。かかる容量線方式の基板を使用した液晶装置において、容量線16を遮光せねばならないため、対向基板31に設けられるブラックマトリクス（第3遮光膜）6は面積を大きく形成する必要がある。この際、容量線16側の画素開口部から、画素TFTのチャネル領域1c（図11における右下がりの斜線部分）までの距離にマージンがあるため、入射光に対する影響はほぼ無視できる。したがって、入射光の影響は、走査線2側の画素開口部からのみなので、光に対する

リーク電流が半減するという利点がある。

また、本実施例5も実施例1と同様な製造プロセスで形成することができる。
(実施例6)

図12は、本発明を適用した液晶装置用基板の第6の実施例を示す。図12は隣接する画素の平面図であり、図12におけるB-B'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造は、実施例2で説明した断面図(図6)と同様の構成をとる。本実施例6も、実施例5と同様に、走査線2と平行な容量線16を設け、この容量線16の下方に半導体層1の延設部1fを設けて付加容量としたものである。ただし、画素TFTの半導体層1はU字型に形成され、ゲート電極がデュアルゲートで構成されている。容量線16は走査線2と同一工程で形成される2層目のポリシリコン膜によって構成され、画面領域の外側で接地電位のような定電位に固定される。したがって、本実施例6においても、容量線16を遮光せねばならないため、対向基板31に設けられるブラックマトリクス(第3遮光膜)6は面積を大きく形成する必要がある。この際、容量線16側の画素開口部から、画素TFTのチャネル領域1c(図12における右下がりの斜線部分)までの距離にマージンがあるため、入射光に対する影響はほぼ無視できる。したがって、入射光の影響は、走査線2側の画素開口部からのみなので、光に対するリーク電流が半減するという利点がある。

また、画素TFTのゲート電極がデュアルゲート構造をとるため、TFTのオフ時の抵抗が高くなり、リーク電流が更に減少する。また、図12では、実施例2と同様に2個のチャネル領域1cのうち的一方だけがデータ線(第2遮光膜)3下方に形成されているが、少なくとも片方のチャネル領域1cがデータ線3で遮光されていれば光に対するTFTのリーク電流は低減できる。

また、本実施例6も実施例1と同様な製造プロセスで形成することができる。
(実施例7およびデータ線3部における遮光膜のサイズ規定)

図13および14は、本発明を適用した液晶装置用基板の画素領域部分の代表的な例で実施例5の変形である。本実施例7では、容量線16を画素電極14下で部分的に斜めに形成し、画素開口率を向上させている。図13は隣接する画素の平面図であり、図14は図13のE-E'における断面図である。図13にお

けるA-A'線に沿った断面、すなわちTFTの能動層となる半導体層1に沿った断面構造は、実施例1で説明した断面(図2)と同様の構造をとる。本実施例7では、第1遮光膜7(図13における右上がりの斜線部分)の上方に第1層間絶縁膜11を介して形成された半導体層1は、少なくともチャネル領域1c(図13における右下がりの斜線部分)およびLDD領域(あるいはオフセット領域)1d, 1eをデータ線(第2遮光膜)3で覆うように形成する。更に、液晶装置用基板との間に液晶を介在させて貼り合わされた対向基板31上のブラックマトリクス(第3遮光膜)6で、少なくとも第1遮光膜7を覆うようにする。ここで、第1遮光膜7には対向基板31側からの入射光が直接照射されないようにパターン形状を工夫しなければならない。

そこで、図14に示すようにチャネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eの幅Wに対して、第1遮光膜7、第2遮光膜(データ線)3、第3遮光膜(対向基板上のブラックマトリクス)6のサイズを規定する。チャネル領域1cとLDD領域(あるいはオフセット領域)1d, 1eの幅Wは同じでも構わないし、サイズが変わっても良い。願わくは、LDD領域(あるいはオフセット領域)1d, 1eの幅とゲート電極(走査線)2の幅は、画素TFT特性の安定を図るためにも、パターンアライメント精度を考慮して同じ幅Wで形成した方が良い。もしサイズを変えるのなら、チャネル領域1cに対して、光により電子が励起されやすいLDD領域(あるいはオフセット領域)1d, 1eの幅を狭く形成すると高品位な画質が得られる。本発明を適用したすべての実施例では、チャネル領域1cとLDD領域1d, 1eとの幅をほぼ同一として遮光膜のサイズ規定を行う。図14において、基板10裏面からみてチャネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eを覆っている第1遮光膜7側面から、チャネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eまでの最小距離をL1, L1'と定義すると、少なくとも次の定義式(1)に示される関係が成立するようにパターンレイアウトすると良い。

$$0.2\mu\text{m} \leq L1, L1' \leq 4\mu\text{m} \quad \dots (1)$$

液晶装置の高開口率を維持しつつ、第1遮光膜7のパターン精度を考えると、望むべくは、次の定義式(2)に示される関係が成立するようにパターンレイアウト

トすると更に良い。

$$0.8 \mu\text{m} \leq L1, L1' \leq 2 \mu\text{m} \quad \dots (2)$$

定義式(2)における値は、第1層間絶縁膜11の膜厚が約8000オングストロームであるため、基板10裏面での反射光は、入射光に対して第1遮光膜7側面を基点に45度以上の角度で反射しないと、チャンネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eに照射されないということから導き出されている。基本的に液晶装置の画面領域に対して入射光は垂直方向に平行な光が照射されるため、第1遮光膜7側面を基点にして入射光が45度以上の角度で反射される確立は少ない。したがって、定義式(2)の値を満足すれば、反射光の影響はほとんど無視できる。

次に、第1遮光膜7と第2遮光膜(データ線)3との関係を定義する。第1遮光膜7に直接入射光が照射されないように、第1遮光膜7の上方に位置する第2遮光膜(データ線)3の幅を広く形成する必要がある。特に、LDD領域1d, 1eは走査線2がないため、入射光に対する影響を受けやすい。そこで、第2遮光膜側面から第1遮光膜までの最小距離をL2, L2'と定義する、少なくとも次の定義式(3)に示される関係が成立するようにパターンレイアウトすると良い。

$$0.2 \mu\text{m} \leq L2, L2' \quad \dots (3)$$

望むべくは、第1層間絶縁膜11と第2層間絶縁膜13を合わせた膜厚が約15000オングストロームなので、次の定義式(4)に示される関係が成立するようにパターンレイアウトすると更に良い。

$$1.5 \mu\text{m} \leq L2, L2' \quad \dots (4)$$

これは、上述した第1遮光膜7とチャンネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1eとの関係と同様で、入射光が第2遮光膜(データ線)3を基点として45度以上の角度で入射されないと、第1遮光膜7の表面に光が到達しないからである。また、図13に示すようにチャンネル領域1c下方の第1遮光膜7は、走査線2に沿って延設されているため、この部分では定義式(3), (4)は成立しない。しかし、少なくともチャンネル領域1cおよびLDD領域(あるいはオフセット領域)1d, 1e付近は走査線2や第3遮光膜(対向基板上の

ブラックマトリクス) 6で覆われているため問題ない。

次に第2遮光膜(データ線) 3と第3遮光膜(対向基板上のブラックマトリクス) 6との関係を定義する。基本的に第2遮光膜(データ線) 3が十分な遮光性を発揮するならば、第3遮光膜(対向基板上のブラックマトリクス) 6は必要ない。そこで、走査線2を遮光性の膜で形成し、画素電極14の全ての辺を隣り合うデータ線3および走査線2に対して重なるように形成すれば、対向基板上のブラックマトリクス(第3遮光膜) 6を省略することができる。そこで、液晶装置用基板10と対向基板31の貼り合わせずれで第3遮光膜(ブラックマトリクス) 6が画素の光透過領域を狭めることがあるので、高開口率を実現するためには、対向基板上のブラックマトリクス(第3遮光膜) 6を形成しないことが望ましい。ところが、第2遮光膜を形成するアルミニウム膜等の金属膜や金属合金膜のピンホールにより光が透過するおそれがあるので、それを防止するためにデータ線上に第3遮光膜(対向基板上のブラックマトリクス) 6を形成すると冗長構造になる。もし、ブラックマトリクス(第3遮光膜) を形成する場合は、望むべくは、第2遮光膜(データ線) 3側面から第3遮光膜6までの距離 L_3 , L_3' が定義式(5)の関係であれば良い。

$$L_3, L_3' \leq 1 \mu m \quad \dots (5)$$

定義式(5)を満足すれば、ほとんど開口率に影響しないためである。

また、チャネル幅 W は画素TF Tの書き込み特性によるところが大きい、TF Tのオン/オフ比が6桁以上確保できるのであれば、できるだけ短い方が光に対する影響を受けにくい。したがって、

$$0.2 \mu m \leq W \leq 4 \mu m \quad \dots (6)$$

で形成すると良い。更に望むべくは、

$$0.2 \mu m \leq W \leq 2 \mu m \quad \dots (7)$$

で形成すれば、データ線(第2遮光膜) 3の線幅を細く形成できるので、更なる高開口率化が実現できる。

また、本実施例7も実施例1と同様な製造プロセスで形成することができる。

(実施例8および走査線2部における遮光膜のサイズ規定)

図19および図20は、本発明を適用した液晶装置用基板の第8の実施例を示

す。図19は隣接する画素の平面図であり、図20は図19におけるF-F'における断面図を示す。本実施例8は実施例7で示した画素の第1遮光膜7（図19における右上がりの斜線部分）を走査線2の下部のみならず、データ線3下部と容量線16下部にマトリクス状に形成している。このような構成を取ることで、第1遮光膜7の低抵抗化がより一層図られ、更に半導体層1のドレイン領域1bと第1遮光膜7との間で第1層間絶縁膜11を誘電体とした付加容量を形成することができる。また、対向基板31上のブラックマトリクス6に欠陥が存在しても、第1遮光膜7がブラックマトリクス6を兼ねるため、点欠陥等の不良が減少するという利点がある。

次に図23において、第1遮光膜7と走査線2との関係を定義する。走査線2下の第1遮光膜7側面と画素開口領域側の走査線2側面までの距離L4は定義式（8）の関係であれば良い。

$$0.2\mu\text{m} \leq L4 \quad \dots (8)$$

これは、走査線2側面と画素開口領域の辺、すなわち第3遮光膜6と同じ位置関係にある時、第1遮光膜7は少なくとも走査線2側面より走査線2側でない、入射光が直接第1遮光膜7表面に照射されてしまうからである。

次に容量線16下の第1遮光膜7と容量線16との関係を定義する。容量線16下の第1遮光膜7側面と画素開口領域側の容量線16側面までの距離L5は定義式（9）の関係であれば良い。

$$0.2\mu\text{m} \leq L5 \quad \dots (9)$$

これは、容量線16側面と画素開口領域の辺、すなわち第3遮光膜6と同じ位置関係にある時、第1遮光膜7は少なくとも容量線16側面より容量線16側でない、入射光が直接第1遮光膜表面に照射されてしまうからである。

また、本実施例8も実施例1と同様な製造プロセスで形成することができる。なお、実施例7および実施例8で規定した定義式（1）から（9）は、本発明を適用したすべての液晶装置用基板および液晶装置に適用できることは言うまでもない。

また、上述した実施例1から8において、無アルカリガラスや石英等の基板10の表面に直接第1遮光膜7を形成した場合について説明したが、基板10の表

面に第1遮光膜7のパターンに対応した溝をエッチングにより形成してから、この溝内に第1遮光膜7を埋設するように形成することで平坦化を図るようにすることも可能である。また、第1遮光膜7の表面には反射防止処理を施すようにしても良い。反射防止処理の方法としては、金属膜や金属シリサイド等の金属合金膜からなる第1遮光膜7の表面を熱酸化して酸化膜を形成したり、第1遮光膜7の表面にCVD法等によりポリシリコン膜を被覆するなどが考えられる。

(液晶装置の説明)

図16(a)は前記液晶装置用基板32を適用した液晶装置30平面レイアウト構成を示す。また、図16(b)は(a)のH-H'に沿った断面図を示す。図16(a), (b)に示すように、対向基板31と液晶装置用基板32とは、画面領域20とデータ線駆動回路50および走査線駆動回路60との間に相当する領域に形成されたギャップ材含有のシール層36によって、所定のセルギャップを隔てて貼り合わされ、該シール層36の内側領域に液晶37が封入されている。ここで、シール層36は部分的に途切れるように形成し、この途切れ部分(液晶注入孔)38から液晶37を注入する。液晶装置30では、対向基板31と液晶装置用基板32とを貼り合わせた後、シール層36の内側領域を減圧状態にすることにより、液晶37の注入を行う。液晶37を封入した後は、液晶注入孔38を封止材39で塞ぐ。

シール層36として、エポキシ樹脂や各種の紫外線硬化樹脂などが用いられ、それに配合されるギャップ材としては約 $2\mu\text{m}$ ~ $6\mu\text{m}$ の円筒や球状等のプラスチックやガラスファイバー等が用いられる。液晶37としては周知のTN(Twisted Nematic)型液晶等が用いられる。また、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜や偏光板が不要になるため、光利用効率が高い液晶装置を提供できる。

本形態の液晶装置30において、対向基板31は液晶装置用基板32よりも小さいので、該液晶装置用基板32は周辺部分が対向基板31の外周縁より外側にはみ出た状態で貼り合わせる。したがって、データ線駆動回路50および走査線駆動回路60は、対向基板31の外周より更に外側に配置されているため、ポリイミド等の配向膜や液晶37が周辺駆動回路の直流成分により劣化するのを防ぐ

ことができる。また、液晶装置用基板32には、対向基板31より外側の領域において、外部ICと電氣的に接続される多数の外部入出力端子40が形成され、ワイヤボンディング、あるいはACF (Anisotropic Conductive Film) 圧着等の方法により、フレキシブルプリント配線基板等と接続される。

更に、図18に示されるように、対向基板31側に前記液晶装置用基板32に形成された各々の画素電極14に対応してマトリクス状にマイクロレンズ80を形成することにより、入射光を画素電極14の画素開口領域上に集光させることができるため、コントラストと明るさを大幅に増大することができ、しかもマイクロレンズ80により入射光を集光させるため、画素TFT91のチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eへの斜め方向からの光の入射を防止することが可能となる。マイクロレンズにより集光した光が液晶装置用基板32裏面で反射しても画素TFT91のチャネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eに照射されないように、該液晶装置用基板32上に第1遮光膜7を設けるようにする。したがって、マイクロレンズにより集光された強い光によってTFT特性が影響を受けることはなく、明るくて高品位な画質が得られる液晶装置を提供できる。また、マイクロレンズ80を用いる場合は、画素開口領域に入射された光を図18の破線で示すように集光できるので、対向基板31側のブラックマトリクス6を取り除くことも可能である。ところで、図18のマイクロレンズ80は対向基板31に対して対向電極33側に設けられているが、対向基板31に対して対向電極33側とは反対に設けて、画素TFTが形成されている液晶装置用基板32に集光させるようにしてもよい。このような場合、対向電極33側に設ける場合と比較して、セルギャップ調整が容易となる利点がある。また、図18に示すように樹脂等からなるマイクロレンズ80を隙間無く並べ、接着剤により薄板ガラスを貼り付けるようにする。前記薄板ガラス上に対向電極33を形成すれば、セルギャップ調整が容易となり、光利用効率が十分に得られる。

（液晶装置の駆動方法）

図15は、上述した実施例1から8の液晶装置用基板を用いた液晶装置30の

システム構成例を示す。図において、90は互いに交差するように配設された走査線2とデータ線3との交点に対応してそれぞれ配置された画素で、各画素90はITO膜等からなる画素電極14と該画素電極14にデータ線3に供給される画像信号に応じた電圧を印加する画素TFT91とからなる。同一行の画素TFT91はそのゲート電極が同一の走査線2に接続され、ドレイン領域1bが対応する画素電極14に接続されている。また、同一列の画素TFT91はそのソース領域1aが同一のデータ線3に接続されている。本実施例において、データ線駆動回路50、走査線駆動回路60を構成するトランジスタが画素TFT91と同様にポリシリコン膜を半導体層とするいわゆるポリシリコンTFTで構成されている。周辺駆動回路（データ線駆動回路50、走査線駆動回路60等）を構成する前記トランジスタはCMOS型TFTを構成し、画素TFT91とともに同様なプロセスにより、同一基板上に形成することができる。

本実施例では、画面領域（画素がマトリクス状に配列された領域）20の外側の少なくとも一辺（図では上側）に前記データ線3を順次選択するシフトレジスタ（以下、Xシフトレジスタと称する）51が配置され、Xシフトレジスタ51の出力信号を増幅させるためのXバッファ53が設けられている。また、画面領域20の少なくとも他の一辺には前記走査線2を順次選択駆動するシフトレジスタ（以下、Yシフトレジスタと称する）61が設けられている。また、Yシフトレジスタ61の出力信号を増幅するためのYバッファ63が設けられている。更に、前記各データ線3の他端にはサンプリング用スイッチ（TFT）52が設けられており、これらのサンプリング用スイッチ52は、例えば外部より入力される画像信号VID1～VID3を伝送する画像信号線54、55、56との間に接続され、前記Xシフトレジスタ51から出力されるサンプリング信号によって順次オン／オフされるように構成されている。Xシフトレジスタ51は、外部より入力されるクロック信号CLX1とその反転クロック信号CLX2とスタート信号DXに基づいて1水平走査期間中にすべてのデータ線3を順次に選択するようなサンプリング信号X1、X2、X3、…、Xnを形成して、サンプリング用スイッチ52の制御端子に供給する。一方、前記Yシフトレジスタ61は、外部より入力されるクロック信号CLY1とその反転クロック信号CLY2および

スタート信号DYに同期して動作され、各走査線2をY1, Y2, ..., Ymと順次駆動する。

(投写型表示装置の説明)

図17は前記実施例の液晶装置をライトバルブとして応用した投写型表示装置の一例として液晶プロジェクターの構成例を示している。

図17において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373, 375, 376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374, 377は反射ミラー、378, 379, 380は前記実施例の液晶装置からなるライトバルブ、383はダイクロイックプリズムである。

本実施例の液晶プロジェクターにおいて、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして、まず、青色反射ダイクロイックミラー373により、青色光（概ね500nm以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調ライトバルブ378に入射する。

一方、前記青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光（概ね500～600nmの波長）が反射され、その他の光である赤色光（概ね600nm以上の波長）は透過する。ダイクロイックミラー375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376, 377により方向を変え、赤色変調ライトバルブ380に入射する。

ライトバルブ378, 379, 380は、図示しない画像信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光はそれぞれのライトバルブで変調された後、ダイクロイックプリズム383で合成される。ダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに直交するように形成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投写レンズ384によってスクリーン上に拡大投写され、表示される。

本発明を適用した液晶装置を用いれば、画素TFT91での光によるリーク電流が少ないため、該液晶装置をライトバルブとして用いた前記液晶プロジェクターは、コントラストの高い表示画像を得ることができる。また、耐光性が優れているため、明るい光源370を使用したり、偏光ビームスプリッターを光源370とライトバルブ378, 379, 380との光路間に設けて偏光変換し、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。したがって、明るい液晶プロジェクターが実現できる。更に、液晶装置用基板の裏面での反射光は、ほとんど無視できるので、従来のように反射防止処理を施した偏光板やフィルムを液晶装置の出射側面に貼り付ける必要がないため、コストの削減が実現できる。

図17に示されるように、赤、緑、青に対応した3枚式のライトバルブおよびダイクロイックプリズムを用いる場合、本発明は特に利点を有する。即ち、例えばダイクロイックミラー274にて反射された光は、ライトバルブ378を透過して、ダイクロイックプリズム383で合成される。この場合、ライトバルブ378に入射された光は90度変調して投写レンズに入射される。しかしながら、ライトバルブ378に入射された光はわずかに漏れて、反対側のライトバルブ380に入射される可能性がある。したがって、ライトバルブ380を例にとると、ダイクロイックミラー377により反射された光が入射方向側から入射される（図面のL方向から入射される）だけではなく、ライトバルブ378を透過した光の一部がダイクロイックプリズム382を透過してライトバルブ380に入射される可能性がある。また、ダイクロイックミラー377により反射された光がライトバルブ380を通してダイクロイックプリズム382に入射される際に、ダイクロイックプリズム383でわずかに反射（正反射）してライトバルブ380に再入射される可能性もある。このように、ライトバルブは入射側方向からの光の入射とその反対側方向からの入射が極めて大きい。このような場合に対しても、本発明は上述の実施例に示されるように、画素TFT91に対して、入射側からも入射側の反対側からも光が入射されないように上下に遮光層が形成されている。しかも第1遮光膜7表面で反射した光が画素TFT91のチャンネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eに入射されないよう

に、対向基板31上のブラックマトリクス6が第1遮光膜7よりも大きく形成されているため、チャネル領域1cおよびLDD領域（あるいはオフセット領域）1d, 1eは入射方向からも入射方向の反対側方向（裏面）からも遮光されることになる。したがって、TFTの光によるリーク電流を大幅に低減することができる。

産業上の利用分野

以上詳細に説明したように、請求項1に記載の液晶装置用基板によれば、チャネル領域および該チャネル領域とソース・ドレイン領域との接合部への光の入射を上方からの光に対しては第1遮光膜が、下方からの光に対しては第2遮光膜により照射を防止できるので、TFTの光によるリーク電流を低減できる。したがって、本発明によると、例えば高性能なアクティブマトリクス型の液晶装置用基板を製造することができる。また、本発明を適用した液晶装置用基板は液晶装置やプロジェクター等に最適なものとなる。

請求の範囲

1. 基板上に複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線および前記複数の走査線に接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶装置用基板において、

少なくとも前記薄膜トランジスタのチャネル領域および該チャネル領域とソース・ドレイン領域との接合部の下方には第1遮光膜が形成されてなり、該チャネル領域とソース・ドレイン領域との接合部の上方に第2遮光膜が形成されてなることを特徴とする液晶装置用基板。

2. 前記第1遮光膜はタングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜のうちのいずれかの金属膜、あるいは合金膜であることを特徴とする請求項1に記載の液晶装置用基板。

3. 前記第1遮光膜から延設された第1配線は、前記画素画面領域の外側で定電位線と電氣的に接続されることを特徴とする請求項1または2に記載の液晶装置用基板。

4. 前記第1遮光膜から延設された前記第1配線は、前記走査線の下方に該走査線に沿って形成されることを特徴とする請求項1から3のいずれか一項に記載の液晶装置用基板。

5. 前記第1遮光膜から延設された前記第1配線の線幅はその上方に形成された前記走査線の線幅よりも細く形成されてなることを特徴とする請求項1から4のいずれか一項に記載の液晶装置用基板。

6. 前記第1遮光膜から延設された前記配線はその上方に形成された前記走査線により覆われていることを特徴とする請求項5に記載の液晶装置用基板。

7. 前記走査線と同一の層で形成され、前記画素に付加容量を付加するための容量線は該走査線に沿って平行に延設され、該容量線の下方には、前記第1遮光膜から延設された第2配線が形成されることを特徴とする請求項1から4のいずれか一項に記載の液晶装置用基板。

8. 前記第1遮光膜から延設された第3配線は、前記データ線の下方に該データ線に沿って形成されることを特徴とする請求項1から7のいずれか一項に記載の

液晶装置用基板。

9. 前記データ線は前記第2遮光膜を兼ね、アルミニウム膜、タングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜のうちのいずれかの金属膜、あるいはその合金膜からなることを特徴とする請求項1から8のいずれか一項に記載の液晶装置用基板。

10. 前記第1遮光膜から延設された前記第3配線の線幅は、前記データ線の線幅よりも細く形成されてなることを特徴とする請求項1から9のいずれか一項に記載の液晶装置用基板。

11. 前記チャンネル領域および該チャンネル領域とソース・ドレイン領域との接合部は、前記データ線の下方に配置されてなり、前記チャンネル領域および該チャンネル領域とソース・ドレイン領域との接合部の下方に設けられた第1遮光膜は、少なくとも前記チャンネル領域および該チャンネル領域とソース・ドレイン領域との接合部において前記データ線に覆われることを特徴とする請求項1から10のいずれか一項に記載の液晶装置用基板。

12. 前記チャンネル領域とソース・ドレイン領域との接合部にはLDD（ライトリー・ドープト・ドレイン）領域が形成されることを特徴とする請求項1から11のいずれか一項に記載の液晶装置用基板。

13. 前記チャンネル領域とソース・ドレイン領域との接合部にはオフセット領域が形成されることを特徴とする請求項1から11のいずれか一項に記載の液晶装置用基板。

14. 前記走査線はタングステン膜、チタン膜、クロム膜、タンタル膜、およびモリブデン膜のうちのいずれかの金属膜、あるいは金属合金膜であることを特徴とする請求項1から13のいずれか一項に記載の液晶装置用基板。

15. 前記第1遮光膜の側面から前記チャンネル領域までの最小距離 L_1 は $0.2\mu\text{m} \leq L_1 \leq 4\mu\text{m}$ になるように形成されていることを特徴とする請求項1から13のいずれか一項に記載の液晶装置用基板。

16. 前記第2遮光膜の側面から前記第1遮光膜までの最小距離 L_2 は $0.2\mu\text{m} \leq L_2$ になるように形成されていることを特徴とする請求項9から15のいずれか一項に記載の液晶装置用基板。

17. 請求項1から16のいずれか一項に記載の液晶装置用基板と、対向電極を有する対向基板とが所定の間隔をおいて配置されるとともに、前記液晶装置用基板と前記対向基板との間隙内に液晶が封入されていることを特徴とする液晶装置。

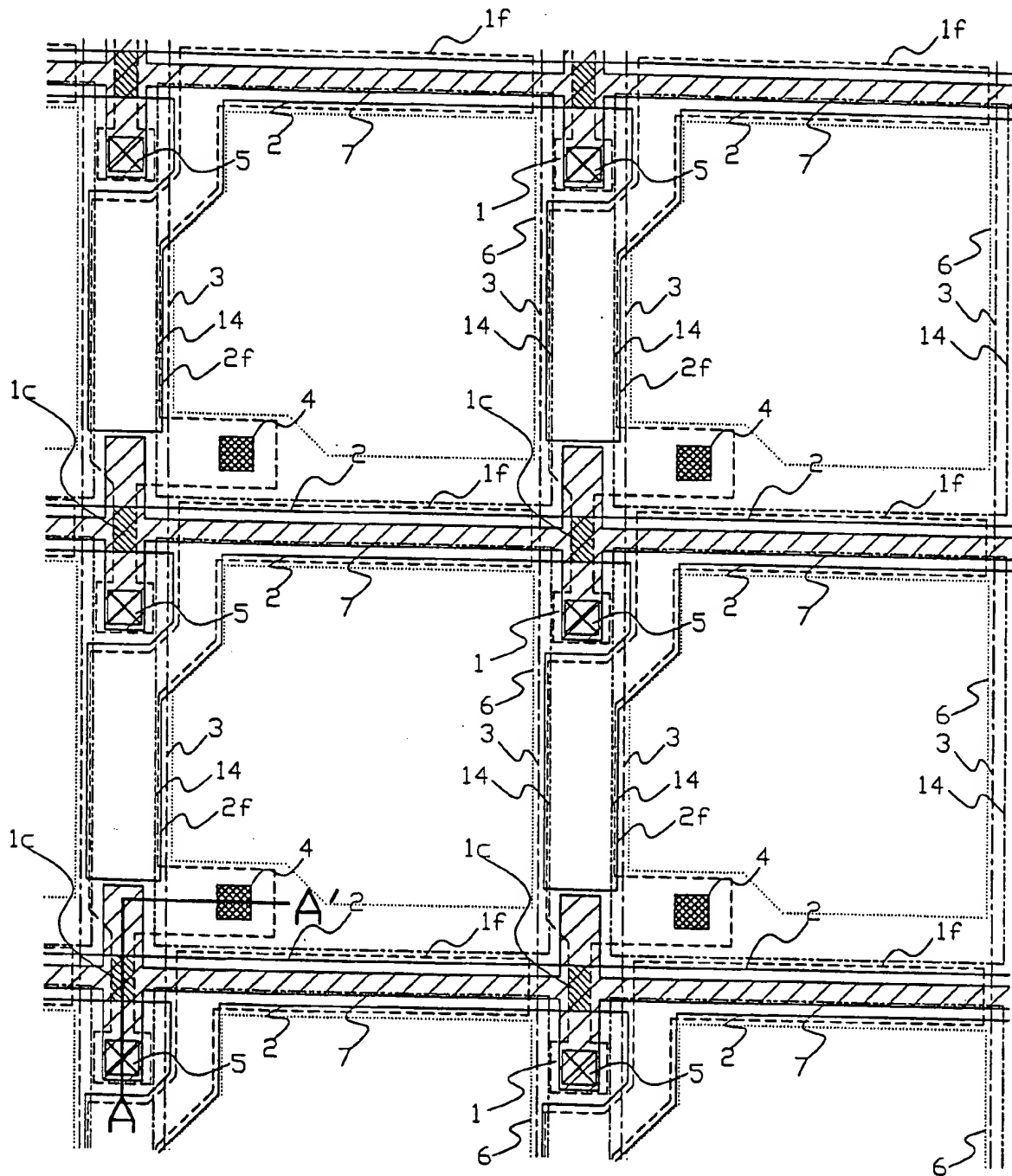
18. 前記対向基板上には第3遮光膜が形成されてなることを特徴とする請求項17に記載の液晶装置。

19. 前記第3遮光膜は少なくとも前記第1遮光膜を覆うように形成されてなることを特徴とする請求項17または18に記載の液晶装置。

20. 前記対向基板上にはマイクロレンズが前記液晶表示装置用基板上に形成された前記複数の画素電極各々に対応して、マトリクス状に形成されてなることを特徴とする請求項17から19のいずれか一項に記載の液晶装置。

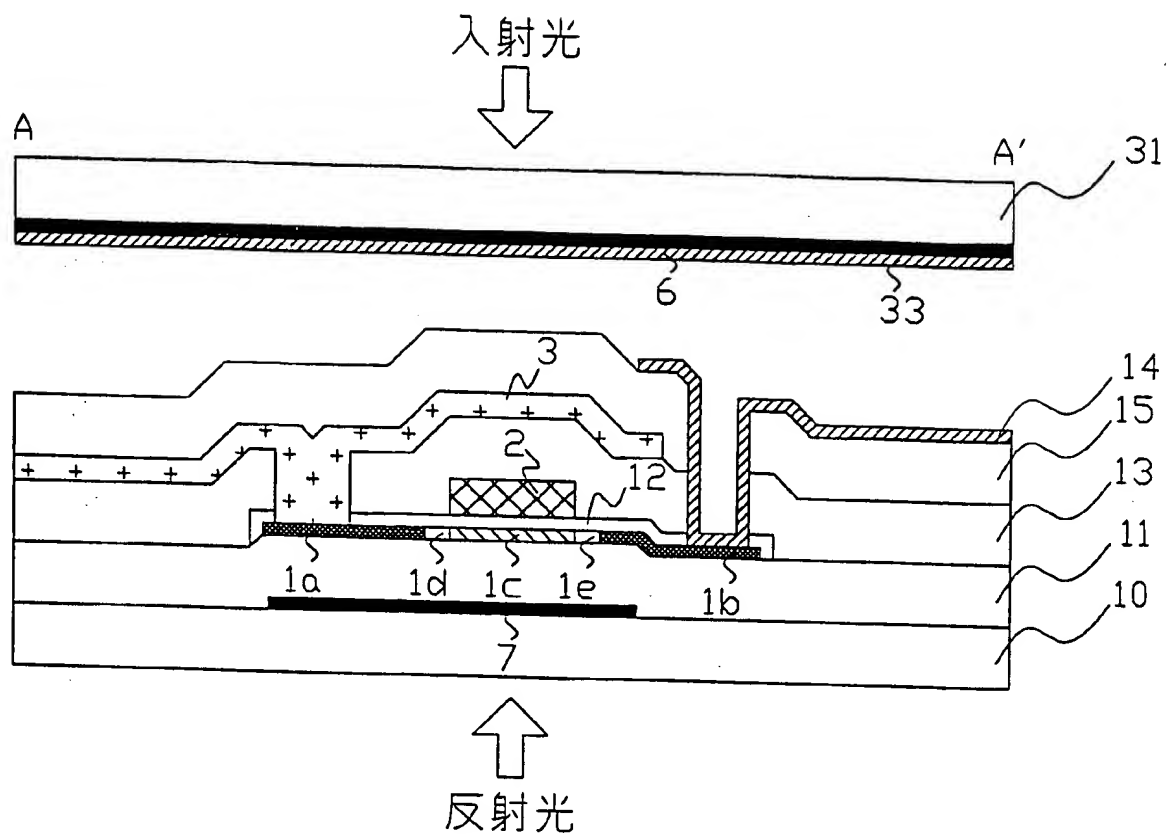
21. 光源と、前記光源からの光を変調して透過もしくは反射する請求項17から20のいずれか一項に記載の構成の液晶装置と、これらの液晶装置により変調された光を集光し拡大投写する投写光学手段とを備えていることを特徴とする投写型表示装置。

1



2 / 1 9

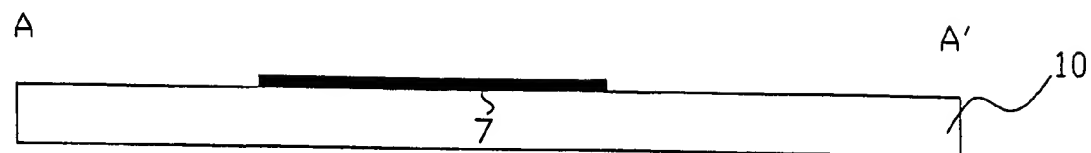
図 2



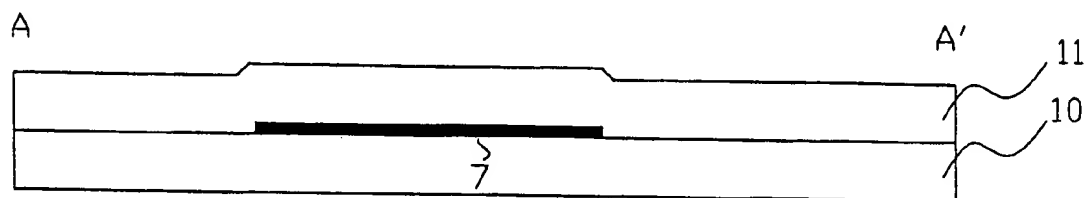
3 / 1 9

図 3

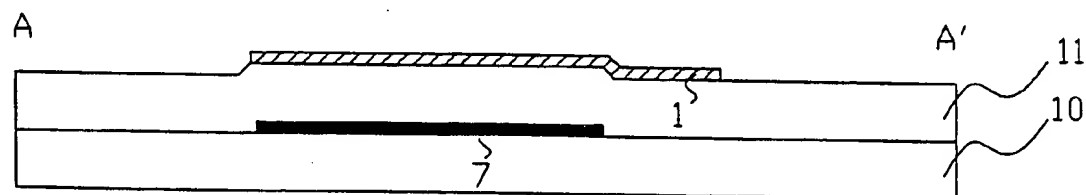
(a)



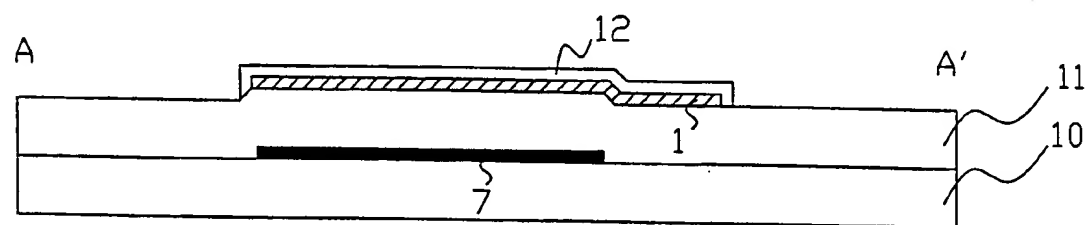
(b)



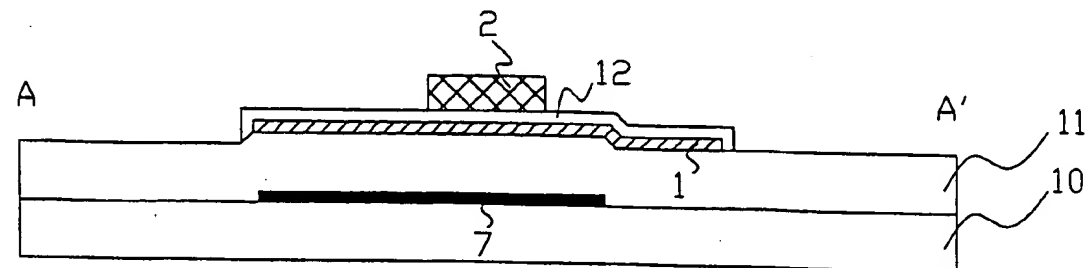
(c)



(d)



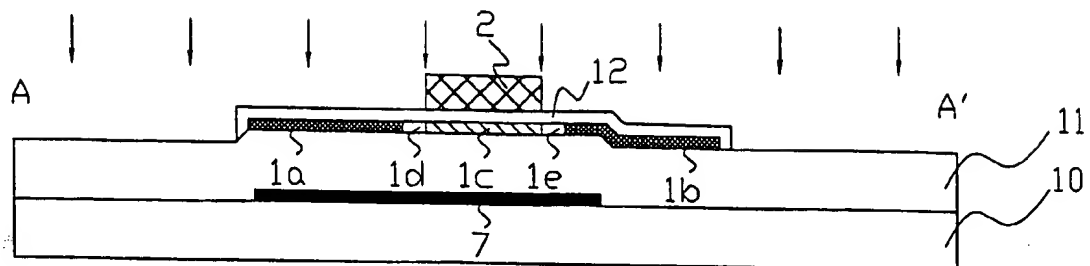
(e)



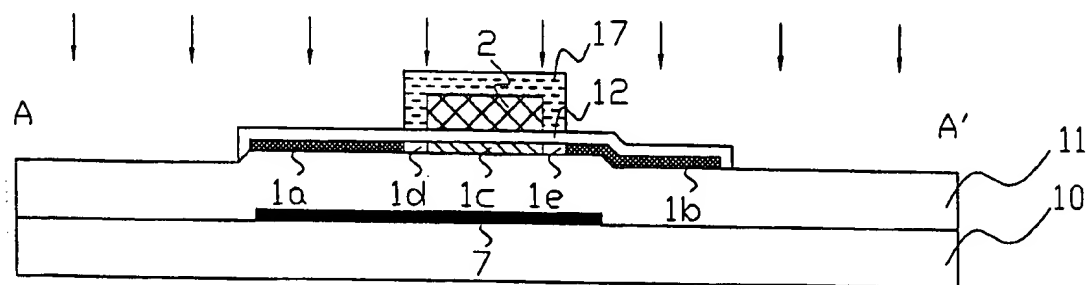
4 / 19

図 4

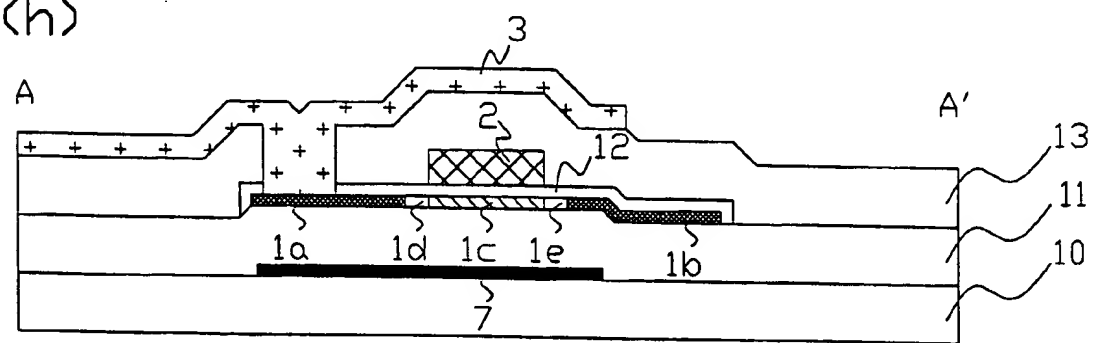
(f)



(g)



(h)



(i)

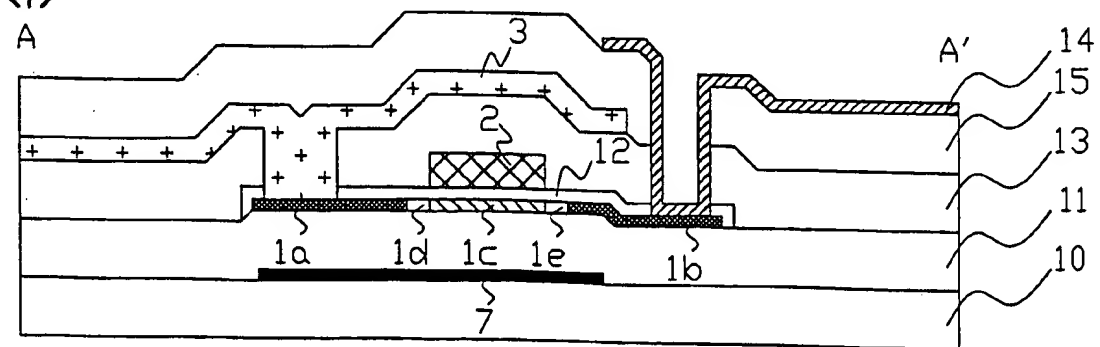
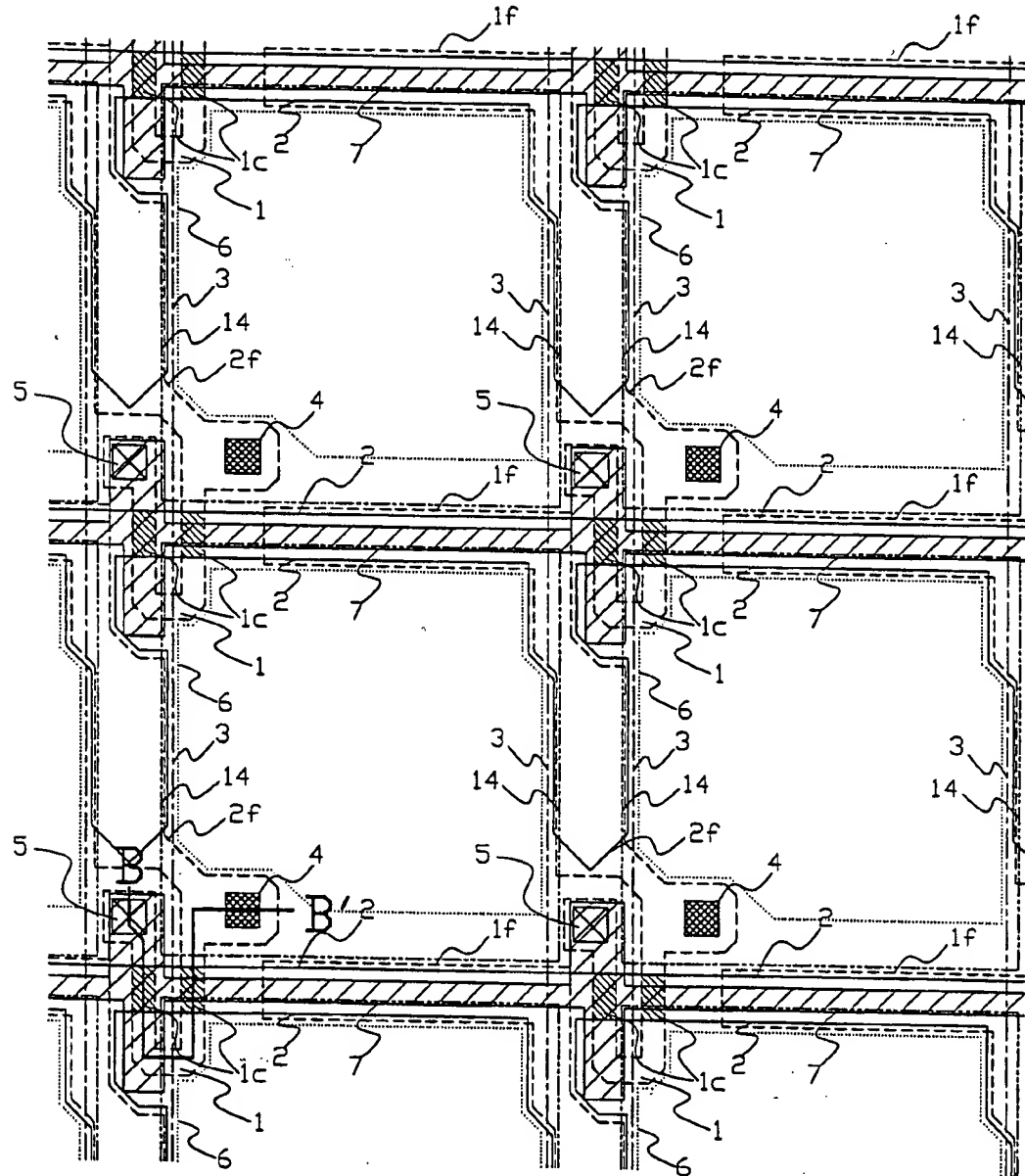
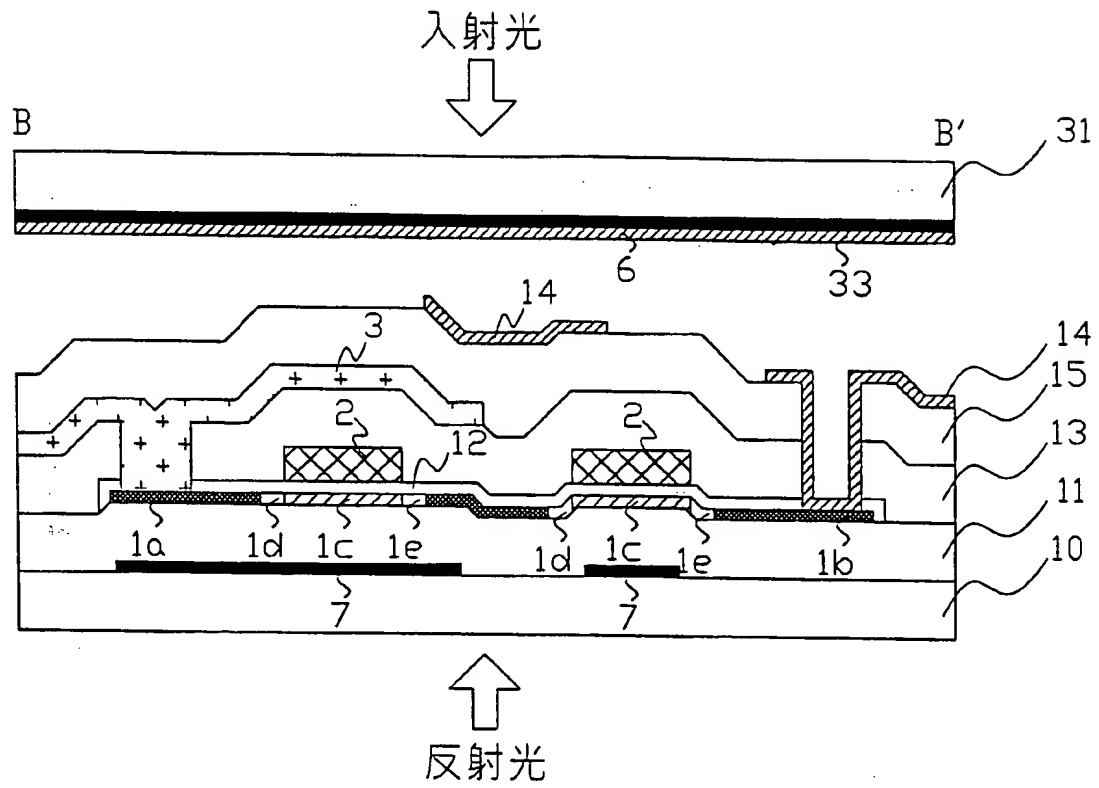


図 5



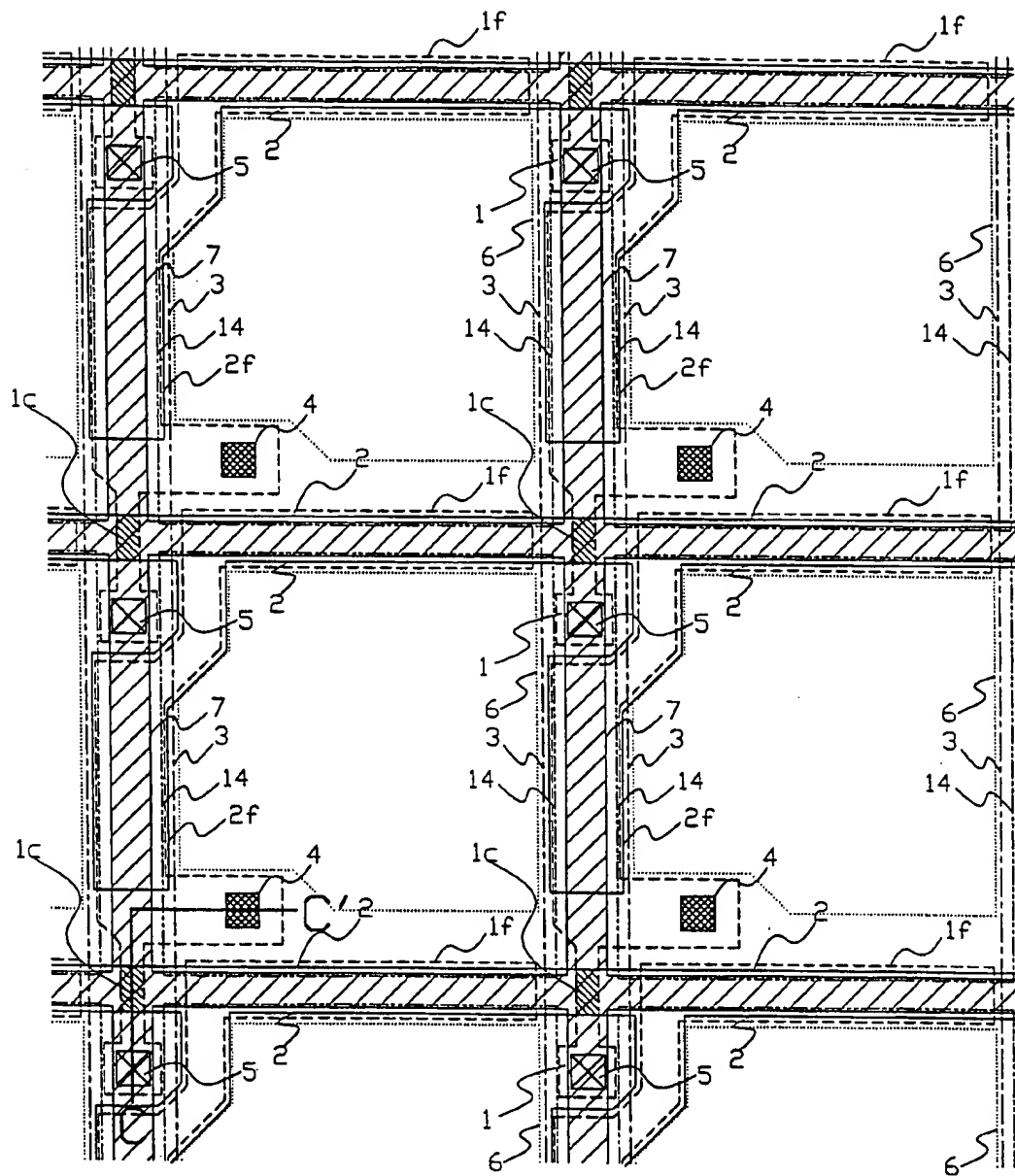
6 / 1 9

図 6



7 / 19

図 7



8 / 19

図 8

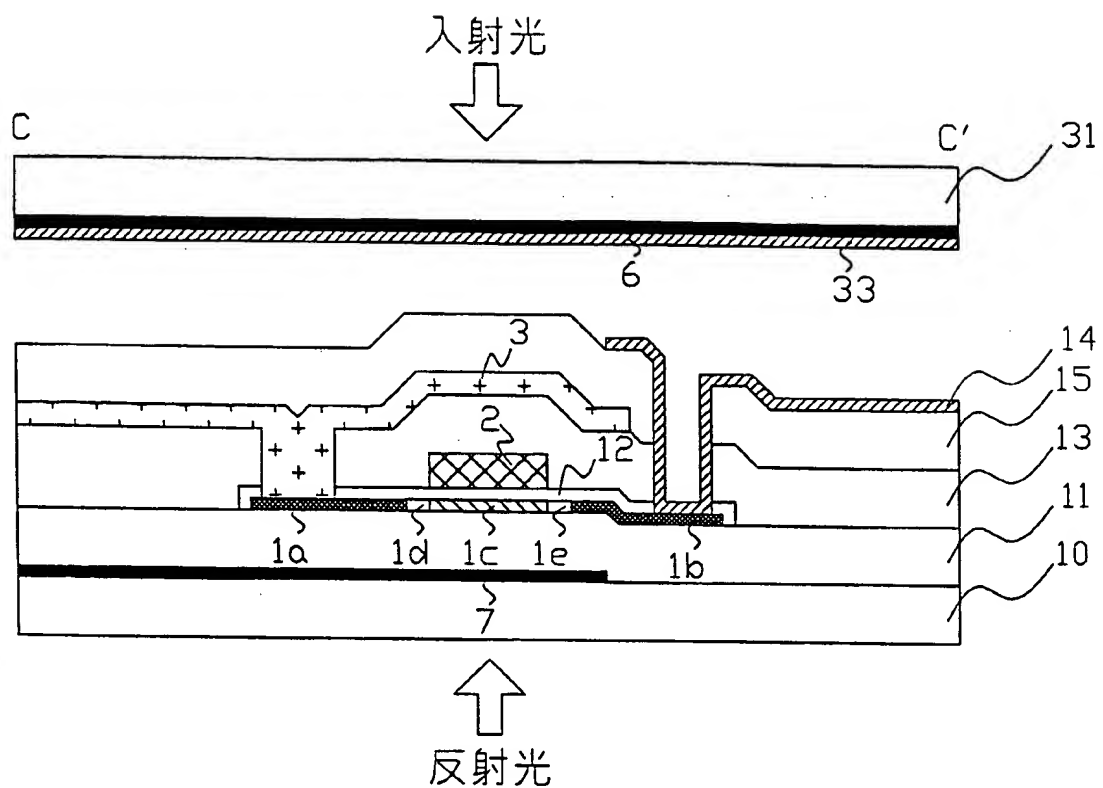
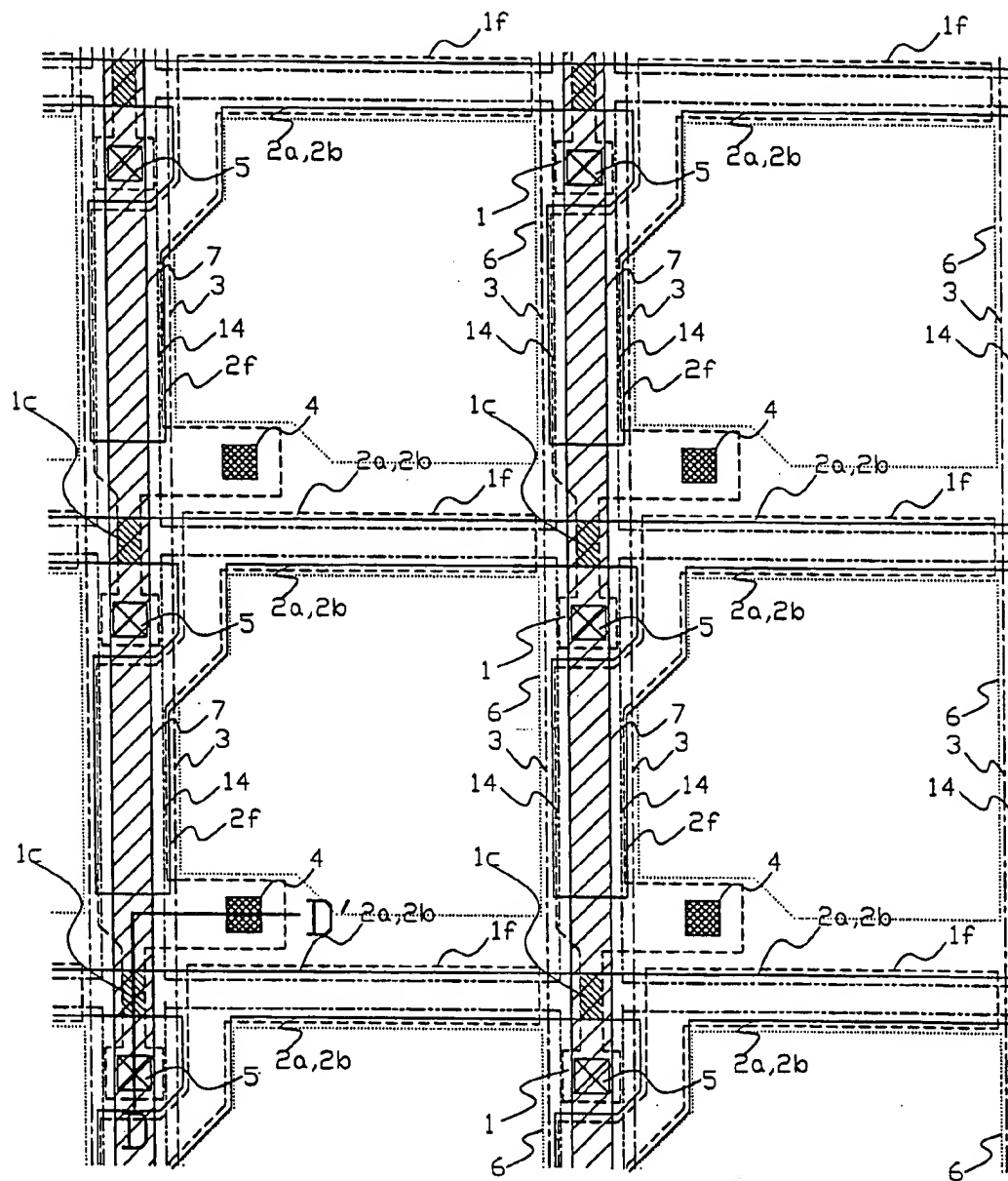
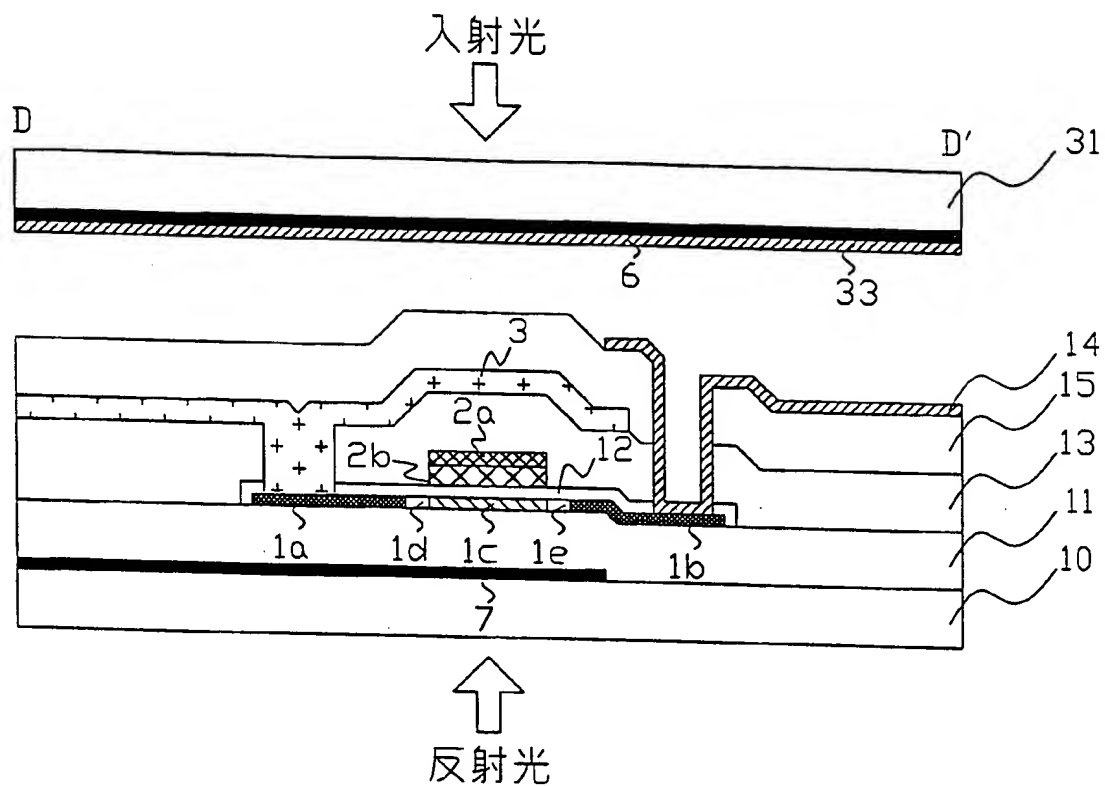


図 9



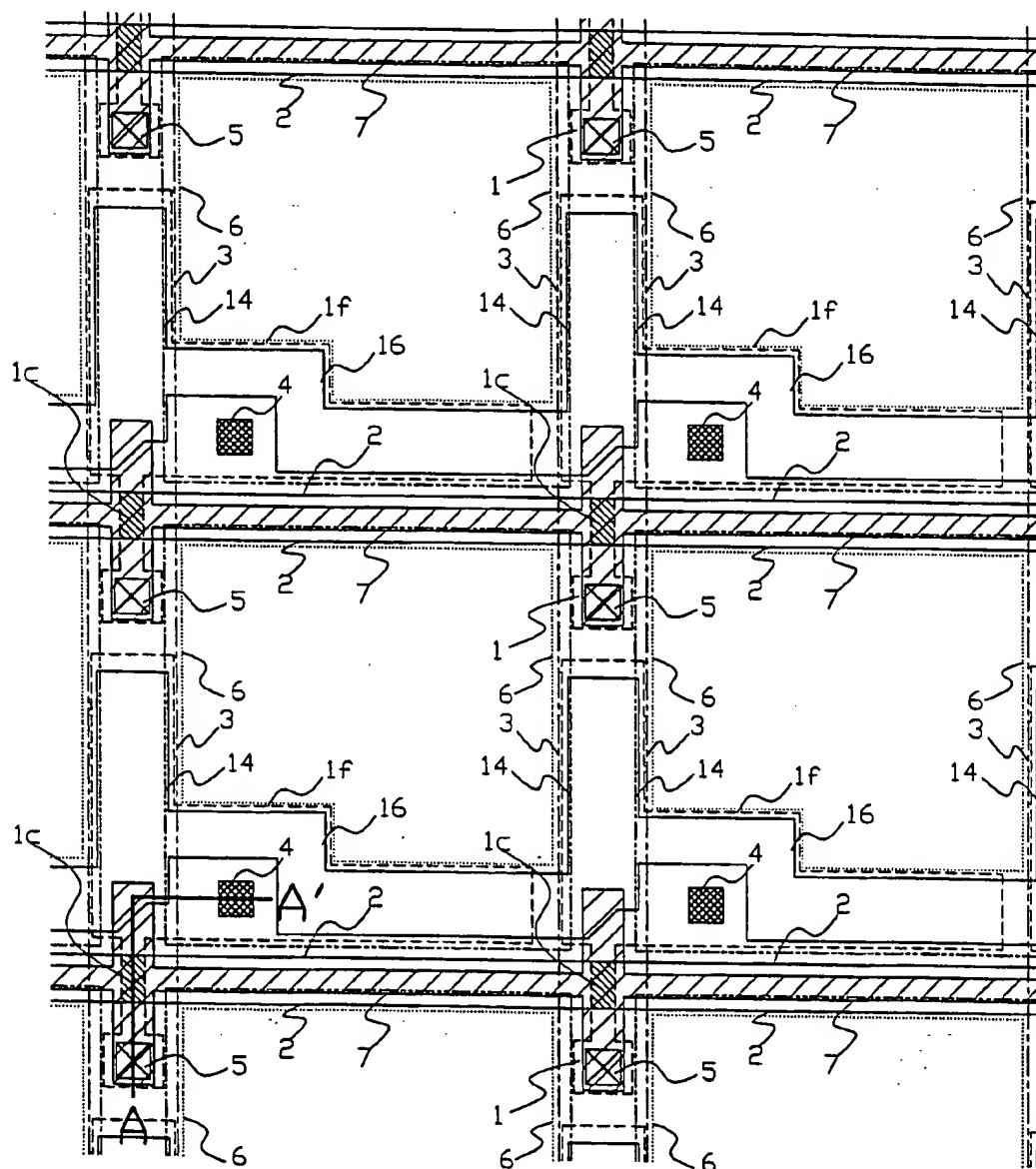
10 / 19

图 10



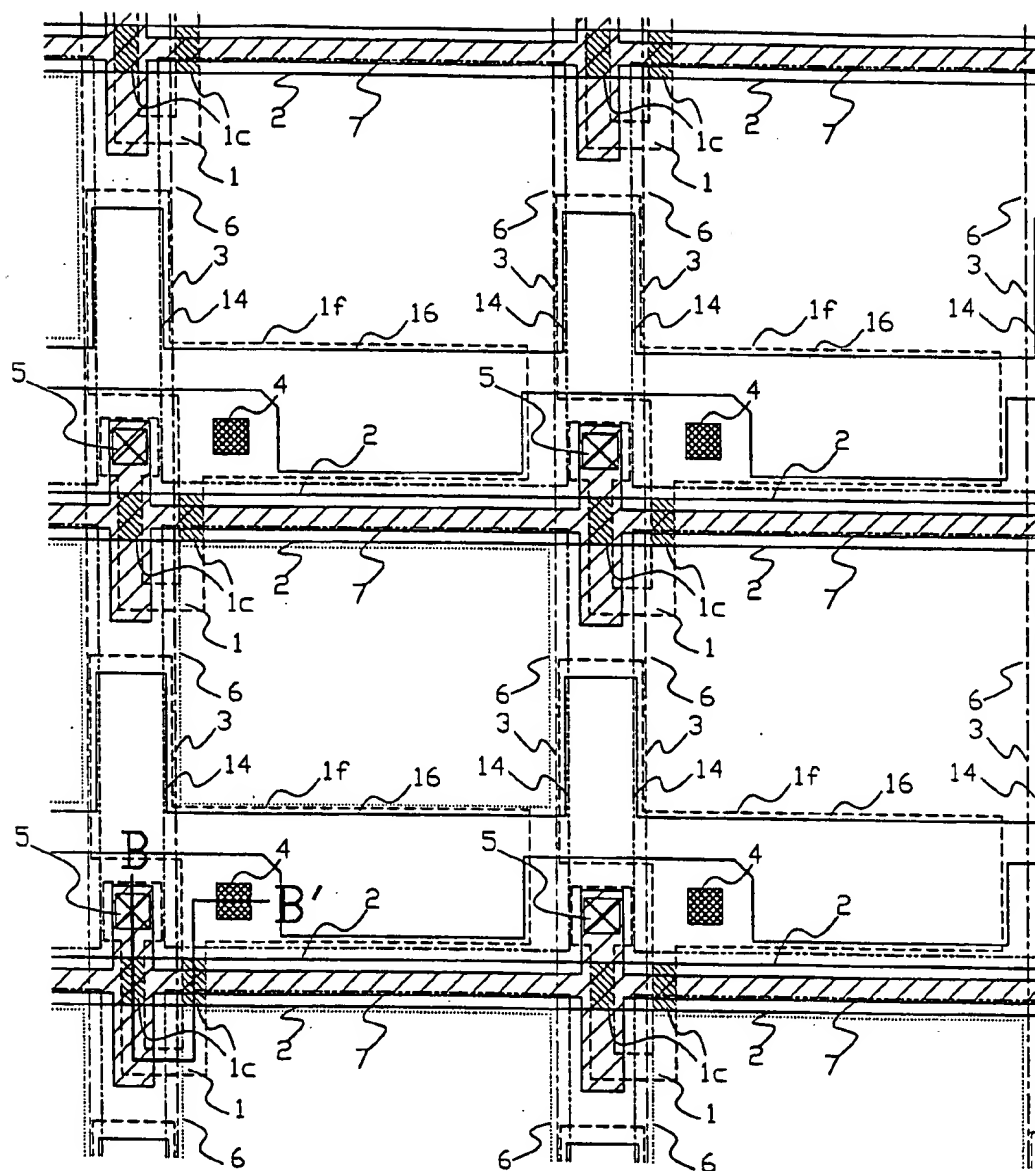
1 1 / 1 9

图 1 1



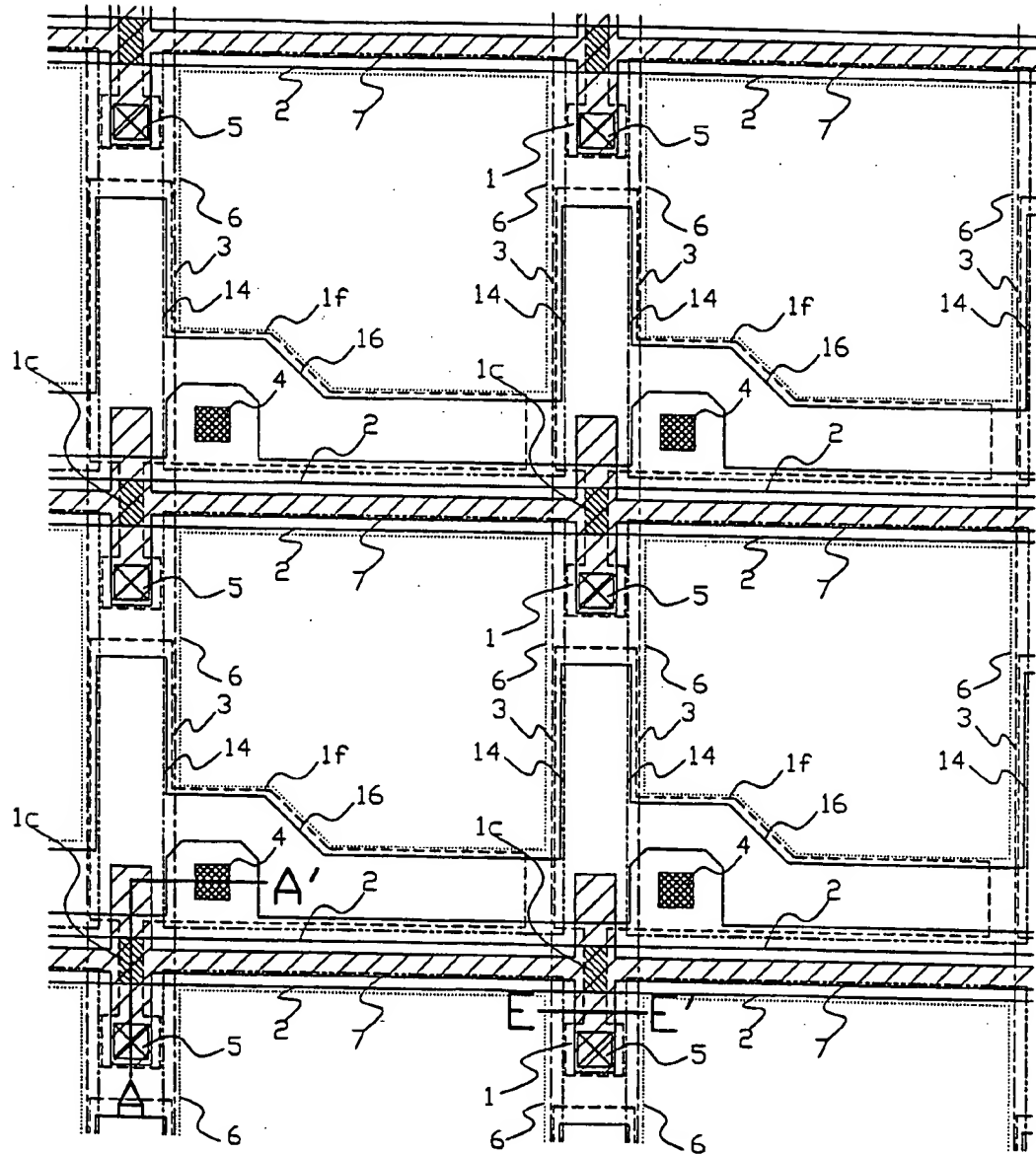
1 2 / 1 9

図 1 2



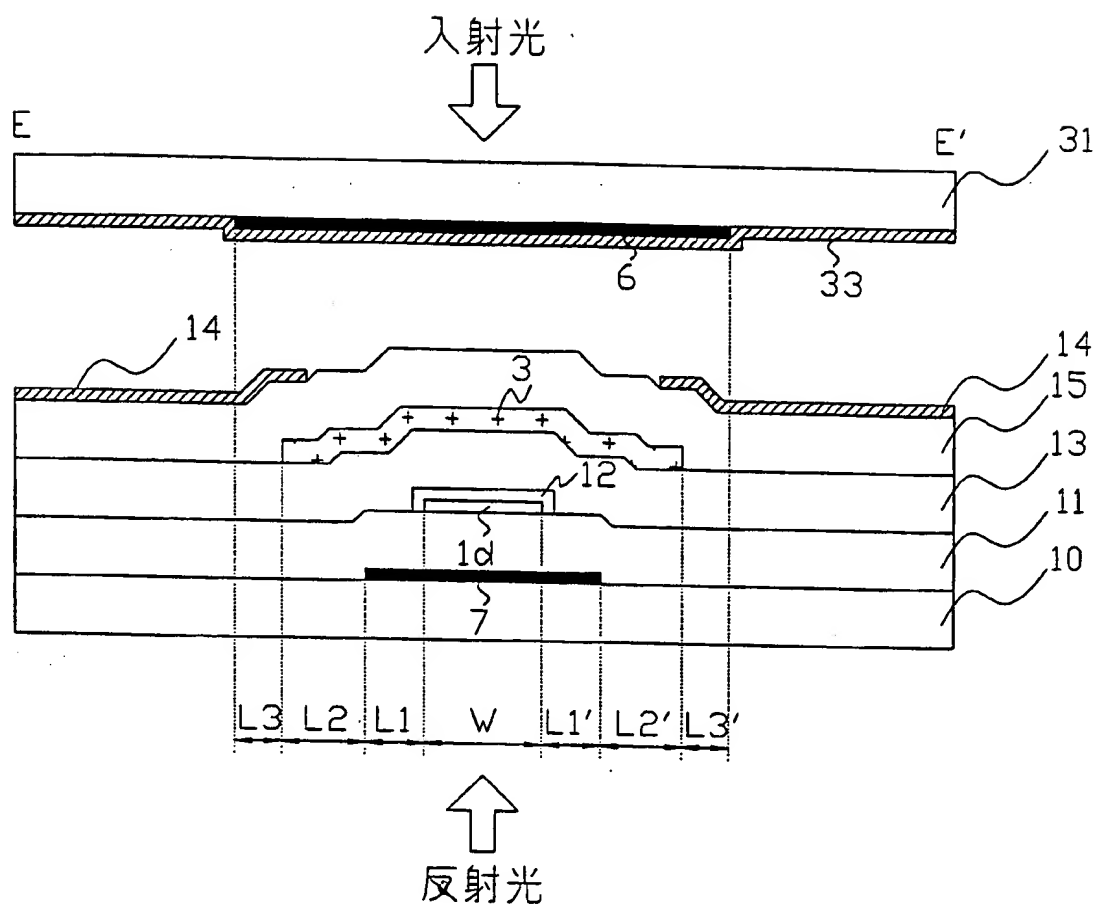
13 / 19

図 13



1 4 / 1 9

図 1 4



15 / 19

図 15

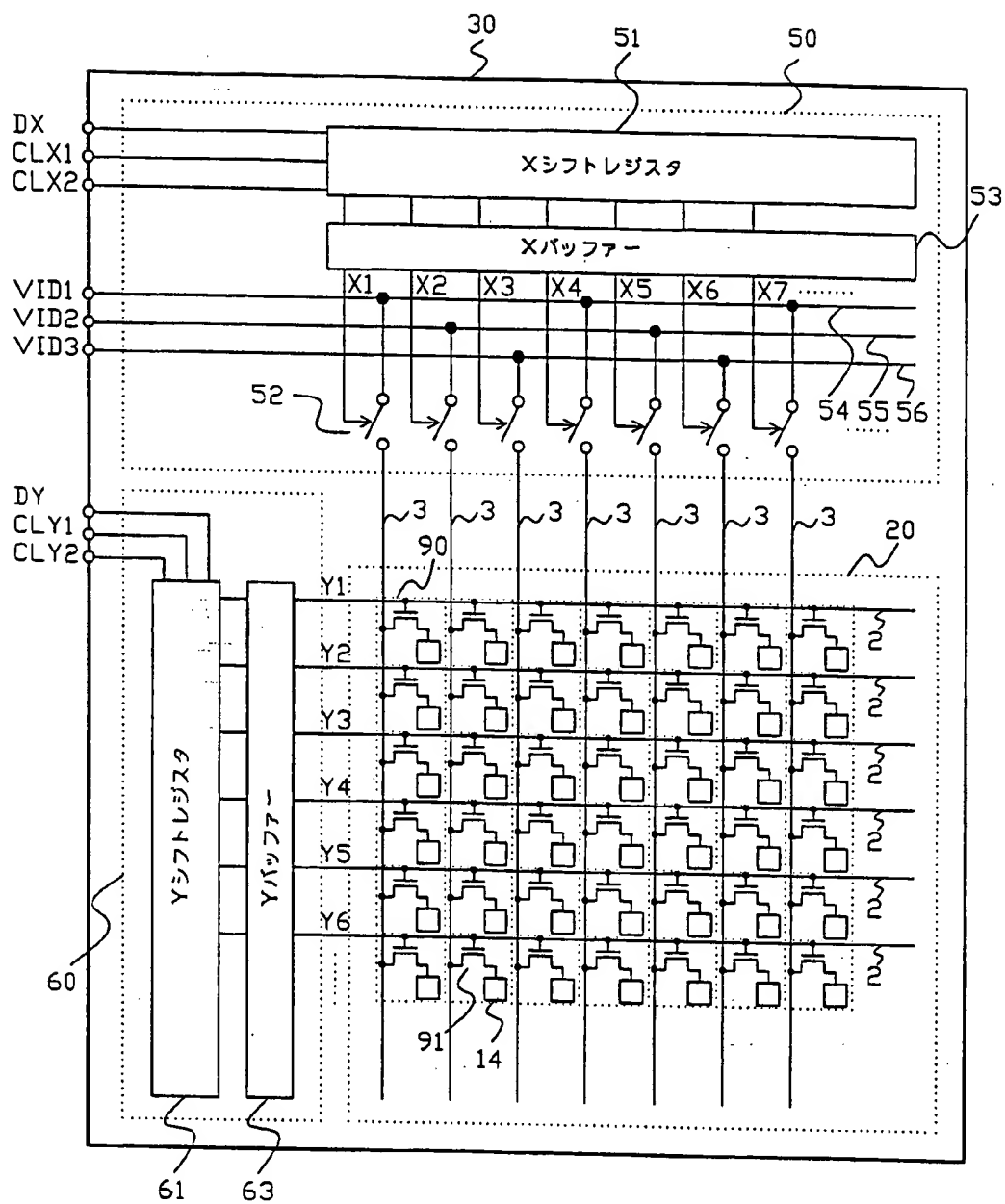
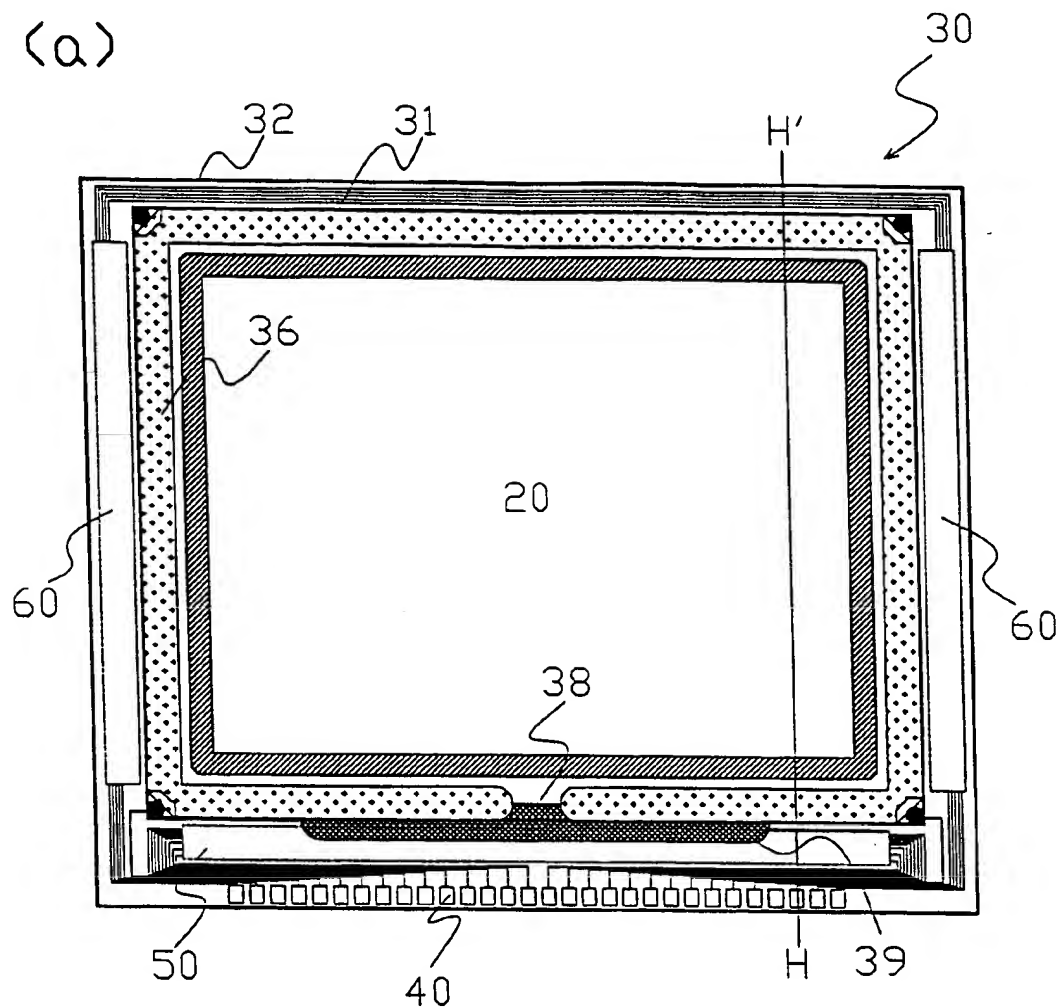


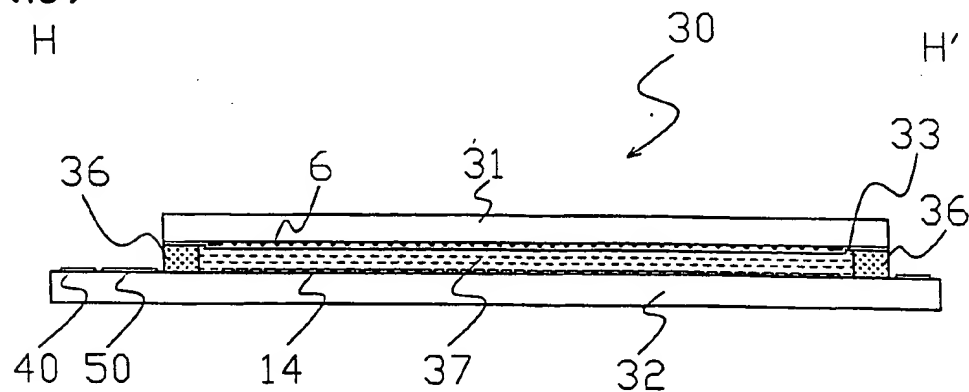
図 16

16 / 19

(a)



(b)



17 / 19

図 17

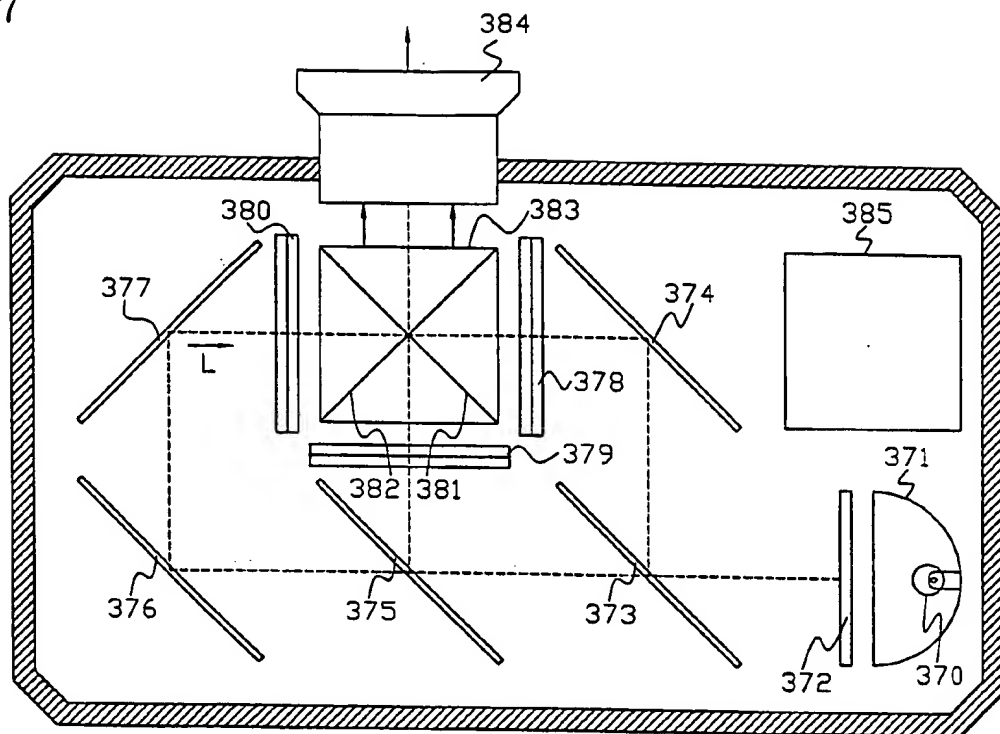
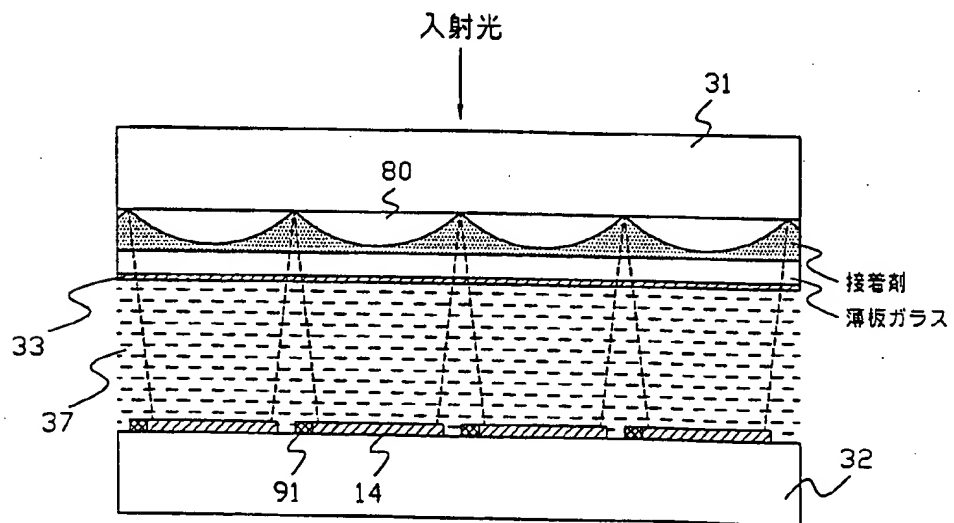
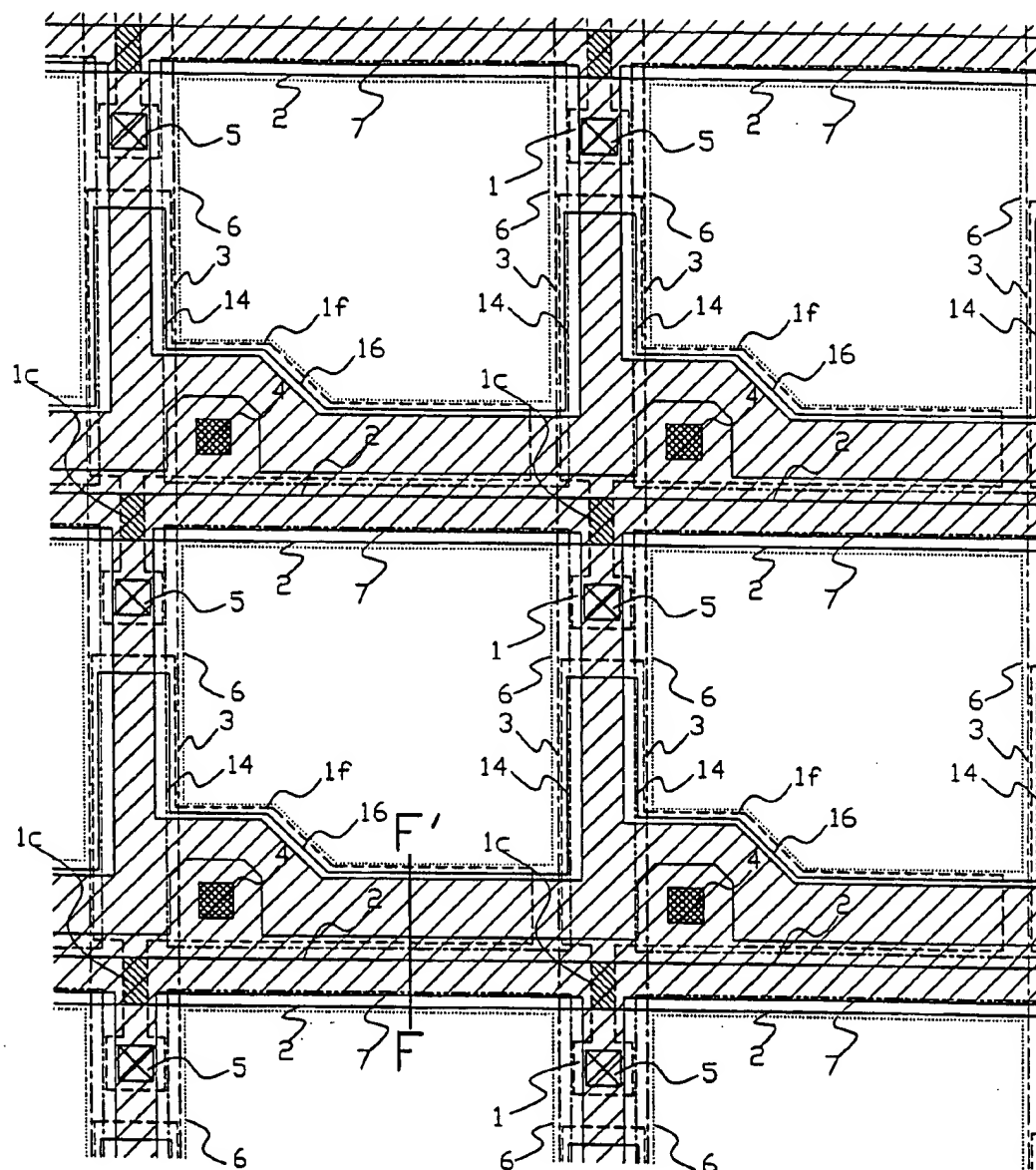


図 18



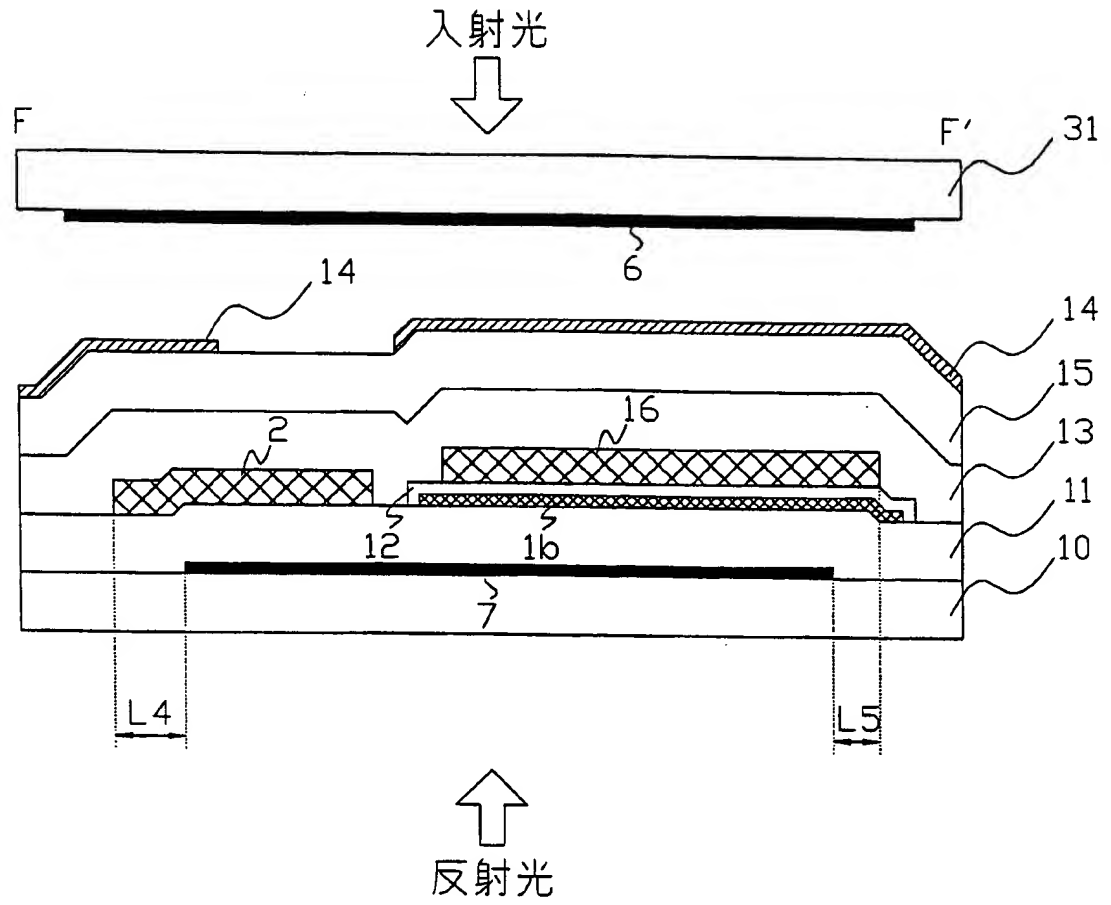
18 / 19

図 19



19 / 19

図 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03752

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G02F1/136

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G02F1/136, G02F1/1335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1970 - 1997

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y Y A	JP, 58-159516, A (Suwa Seikosha K.K.), September 21, 1983 (21. 09. 83), Page 1, right column, line 16 (Family: none)	1, 17 2 3-4, 7-9, 11-15, 17-21 5-6, 10, 16
X X Y Y Y A	JP, 08-160409, A (Sanyo Electric Co., Ltd.), June 21, 1996 (21. 06. 96), Par. No. 12 Fig. 2 Par. No. 21 (Family: none)	1, 17 2 3-4, 7-9, 11-15, 17-18, 20 19 21 5-6, 10, 16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

January 8, 1998 (08. 01. 98)

Date of mailing of the international search report

January 20, 1998 (20. 01. 98)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03752

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 06-18921, A (Mitsubishi Electric Corp.), January 28, 1994 (28. 01. 94), Par. Nos. 13, 20	2-4, 7-9, 11-15, 17-21
A	Par. Nos. 13, 20 (Family: none)	5-6, 10, 16
Y	JP, 64-28622, A (Hitachi, Ltd.), January 31, 1989 (31. 01. 89), Page 3, upper right column, line 11 to lower left column, line 9	3-4, 7-9, 11-15, 17-21
A	Page 3, upper right column, line 11 to lower left column, line 9 (Family: none)	5-6, 10, 16
Y	JP, 03-50527, A (NEC Corp.), March 5, 1991 (05. 03. 91), Page 2, upper right column, line 11 to lower left column, line 9	3-4, 7-9, 11-15, 17-21
A	Page 2, upper right column, line 11 to lower left column, line 9 (Family: none)	5-6, 10, 16
Y	JP, 07-152047, A (Mitsubishi Electric Corp.), June 16, 1995 (16. 06. 95), Par. Nos. 11 to 14; Figs. 1, 2	7-9, 11-15, 17-21
A	Par. Nos. 11 to 14; Figs. 1, 2 (Family: none)	10, 16
Y	JP, 06-75244, A (Seiko Instruments Inc.), March 18, 1994 (18. 03. 94), Par. No. 55; Fig. 23	9, 11-15, 17-21
A	Par. No. 45; Fig. 23 & EP, 574137, A1	10, 16
Y	JP, 06-82826, A (Sharp Corp.), March 25, 1994 (25. 03. 94), Par. Nos. 16 to 26; Figs. 1, 2	11-12, 14-15, 17-21
A	Par. Nos. 16 to 26; Figs. 1, 2 (Family: none)	16
Y	JP, 08-32082, A (Sony Corp.), February 2, 1996 (02. 02. 96) (Family: none)	11, 13-15, 17-21
A		16
Y	JP, 07-122754, A (Toshiba Corp.), May 12, 1995 (12. 05. 95), Par. No. 14; Fig. 4	15, 17-21
A	Par. No. 14; Fig. 4 (Family: none)	16
Y	JP, 07-43700, A (Victor Co. of Japan, Ltd.), February 14, 1995 (14. 02. 95), Par. No. 9; Fig. 5 (Family: none)	20 - 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03752

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	JP, 03-209777, A (Matsushita Electric Industrial Co., Ltd.), September 12, 1991 (12. 09. 91),	
Y	Page 4, upper right column, lines 6 to 8	9, 11-13
Y	Page 4, upper left column, lines 8 to 10, upper right column, lines 6 to 8	14-15, 17-21
A	Page 4, upper right column, lines 6 to 8	10
A	Page 4, upper left column, lines 8 to 10, upper right column, lines 6 to 8 (Family: none)	16

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁶ . G02F1/136		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁶ . G02F1/136, G02F1/1335		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1970-1997 日本国公開実用新案公報 1971-1995		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y Y	J P, 58-159516, A (株式会社諏訪精工舎) 21. 9月. 1983 (21. 09. 83), 第1頁右欄第16行,	1, 17 2 3-4, 7-9, 11-15, 17-21
A	(ファミリーなし)	5-6, 10, 16
X X Y	J P, 08-160409, A (三洋電機株式会社) 21. 6月. 1996 (21. 06. 96), 第12段落,	1, 17 2 3-4, 7-9, 11-15, 17-18, 20
Y	図2,	19
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 08. 01. 98		国際調査報告の発送日 20.01.98
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 宮本 昭彦 電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	第21段落, (ファミリーなし)	21 5-6, 10, 16
Y A	J P, 06-18921, A (三菱電機株式会社) 28. 1月. 1994 (28. 01. 94), 第13段落、第20段落, 第13段落、第20段落 (ファミリーなし)	2-4, 7-9, 11-15, 17-21 5-6, 10, 16
Y A	J P, 64-28622, A (株式会社日立製作所) 31. 1月. 1989 (31. 01. 89), 第3頁上右欄第11行~同頁下左欄第9行, 第3頁上右欄第11行~同頁下左欄第9行 (ファミリーなし)	3-4, 7-9, 11-15, 17-21 5-6, 10, 16
Y A	J P, 03-50527, A (日本電気株式会社) 5. 3月. 1991 (05. 03. 91), 第2頁上右欄第11行~下左欄第9行, 第2頁上右欄第11行~下左欄第9行 (ファミリーなし)	3-4, 7-9, 11-15, 17-21 5-6, 10, 16
Y A	J P, 07-152047, A (三菱電機株式会社) 16. 6月. 1995 (16. 06. 95), 第11~14段落、図1、図2, 第11~14段落、図1、図2 (ファミリーなし)	7-9, 11-15, 17-21 10, 16
Y A	J P, 06-75244, A (セイコー電子工業株式会社) 18. 3月. 1994 (18. 03. 94), 第55段落、図23, 第55段落、図23&EP, 574137, A1	9, 11-15, 17-21 10, 16
Y A	J P, 06-82826, A (シャープ株式会社) 25. 3月. 1994 (25. 03. 94), 第16~26段落、図1、図2, 第16~26段落、図1、図2 (ファミリーなし)	11-12, 14-15, 17-21 16
Y A	J P, 08-32082, A (ソニー株式会社) 2. 2月. 1996 (02. 02. 96) (ファミリーなし)	11, 13-15, 17-21 16
Y A	J P, 07-122754, A (株式会社東芝) 12. 5月. 1995 (12. 05. 95), 第14段落、図4, 第14段落、図4 (ファミリーなし)	15, 17-21 16
Y	J P, 07-43700, A (日本ビクター株式会社) 14. 2月. 1995 (14. 02. 95), 第9段落、図5 (ファミリーなし)	20-21
Y Y A A	J P, 03-209777, A (松下電器産業株式会社) 12. 9月. 1991 (12. 09. 91), 第4頁上右欄第6~8行, 第4頁上左欄第8~10行、同頁上右欄第6~8行, 第4頁上右欄第6~8行, 第4頁上左欄第8~10行、同頁上右欄第6~8行 (ファミリーなし)	9, 11-13 14-15, 17-21 10 16